

16 Mb EXCELON™ Ultra 铁电随机存取存储器 (F-RAM)

串行 (四线 SPI) 2048K × 8, 108 MHz, 工业级

性能

- 16 Mb 铁电随机存取存储器 (F-RAM) 逻辑结构为 2048K × 8
 - 提供了一百万亿次 (10^{14}) 的读 / 写周期, 几乎为无限次数的耐久性
 - 151 年数据保留时间 (见第 89 页上的 "数据保留时间与耐久性")
 - 英飞凌即时非易失性写入技术
 - 高级高可靠性的铁电工艺
- 单线和多线 I/O 串行外设接口 (SPI)
 - 串行总线接口 SPI 协议
 - 支持 SPI 模式 0 (0, 0) 和模式 3 (1, 1), 适用于所有 SDR 模式转换
 - 支持 SPI 模式 0 (0, 0), 适用于所有 DDR 模式转换
 - 扩展型 I/O SPI 协议
 - 双线 SPI (DPI) 协议
 - 四线 SPI (QPI) 协议
- SPI 时钟频率
 - 最高 108 MHz 频率 SPI 的单倍数据速率 (SDR)
 - 最高 46 MHz 频率 SPI 的双倍数据速率 (DDR)
- 芯片内执行 (XIP) 模式下的存储器读 / 写操作
- 写入保护, 数据安全性, 数据完整性
- 使用写保护 ($\overline{WP}$) 引脚提供硬件保护
- 软件模块保护
- 提高数据完整性的嵌入式纠错码 (ECC) 和循环冗余校验 (CRC)
 - 检测并纠正双比特错误的 ECC。在发生 3 位错误时, 它将不纠正错误, 但将通过 ECC 状态寄存器进行错误报告
 - CRC 将检测原始数据的任意意外更改
- 扩展的电子签名
 - 器件 ID 包含制造商 ID 和产品 ID
 - 唯一 ID
 - 用户可编程序列号
- 专用 256 字节特殊扇区 F-RAM
 - 专用特殊扇区写和读操作
 - 内容可以在多达 3 个标准回流焊周期内保持不变
- 高速度, 低功耗
 - SPI SDR 频率为 108 MHz 时, 有效电流为 14 mA (典型值)
 - QSPI SDR 频率为 108 MHz 时, 有效电流为 22 mA (典型值)
 - QSPI DDR 频率为 46 MHz 时, 有效电流为 16.5 mA (典型值)
 - 待机电流为 115 μ A (典型值)
 - 深度掉电模式电流为 1.1 μ A (典型值)
 - 休眠模式电流为 0.1 μ A (典型值)
- 低电压操作
 - CY15V116QSN: $V_{DD} = 1.71 \text{ V} \sim 1.89 \text{ V}$
 - CY15B116QSN: $V_{DD} = 1.8 \text{ V} \sim 3.6 \text{ V}$

16 Mb EXCELON™ Ultra 铁电 RAM (F-RAM)

串行 (四线 SPI) 2048K × 8, 108 MHz, 工业级



功能说明

- 工作温度范围
 - -40°C ~ +85°C
- 封装
 - 24-ball 小间距 BGA (FBGA)
- 符合有害物质限制标准 (RoHS)

功能说明

EXCELON™ Ultra CY15x116QSN 采用了高级铁电工艺的高性能 16 Mb 非易失性存储器。铁电随机存取存储器 (即 F-RAM) 与 RAM 相同, 是执行读和写操作的非易失性存储器。它提供 151 年的可靠数据保留时间, 并解决了由串行闪存和其他非易失性存储器造成的复杂性、开销和系统级可靠性的问题。

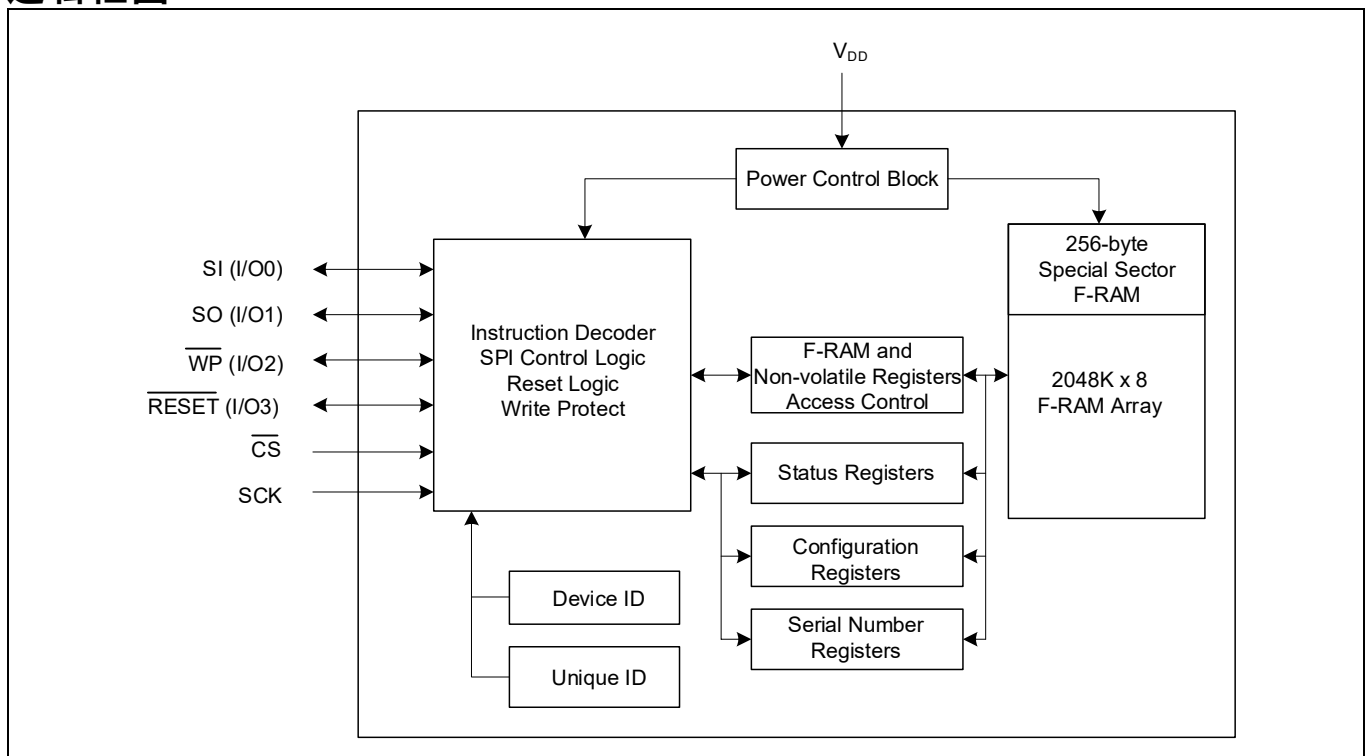
与串行闪存不同的是, CY15x116QSN 以总线速度执行写操作, 并且不引起写操作的延迟。在每个字节成功传输到器件后, 数据立即被写入到存储器阵列内。这时, 可以开始执行下一个总线周期而不需要轮询数据。此外, 与其他非易失性存储器相比, 该产品提供了更多的擦写次数。CY15x116QSN 能够提供 10^{14} 次的读 / 写周期, 或支持比 EEPROM 多 1 亿次的写周期。由于具有这些特性, 因此 CY15x116QSN 非常适用于需要频繁或快速写操作的非易失性存储器应用。示例的范围包括从数据收集 (其中写周期数量是非常重要的) 到满足工业级控制 (其中串行闪存的较长写时间会使数据丢失)。

CY15x116QSN 将 16 Mb F-RAM 与高速度四线 SPI (QPI) SDR 和 DDR 接口相结合, 从而增强 F-RAM 技术的非易失性写入功能。该器件包含一个只读的器件 ID 和唯一 ID 特性, 通过它们, SPI 总线主设备可以确定器件的制造商、产品容量、产品版本和唯一 ID。该器件包含一个唯一只读序列号, 可用于识别某个电路板或系统。

该器件支持片上 ECC 逻辑, 可以在每个 8 字节数据单元内检测和纠正双比特错误。该器件还包含在 8 字节数据单元中提供 3 位错误报告的扩展功能。CY15x116QSN 还支持循环冗余校验 (CRC), 可用于校验存储器阵列中所存储数据的完整性。

要获取相关资源的完整列表, 请单击[此处](#)。

逻辑框图



目录

目录

性能	1
功能说明	2
逻辑框图	2
目录	3
1 引脚分布	5
2 引脚定义	6
3 功能概述	7
3.1 存储器架构	7
3.2 串行外设接口 (SPI) 总线	7
3.2.1 单通道 SPI	8
3.2.2 扩展型 SPI	8
3.2.3 双线 SPI (DPI)	8
3.2.4 四线 SPI (QPI)	8
3.3 SPI 协议中使用的术语	9
3.3.1 SPI 主设备	9
3.3.2 SPI 从设备	9
3.3.3 芯片选择 ($\overline{CS}$)	9
3.3.4 串行时钟 (SCK)	9
3.3.5 数据传输 (SI/SO)	9
3.3.6 最高有效位 (MSb)	10
3.3.7 串行操作码	10
3.3.8 无效操作码	10
3.3.9 指令	10
3.3.10 模式字节	10
3.3.11 等待状态或虚拟周期	10
3.4 SPI 模式	11
3.4.1 SDR	11
3.4.2 DDR	11
3.5 从上电到第一次访问的时间	12
4 CY15x116QSN 寄存器	13
4.1 状态寄存器	13
4.1.1 状态寄存器 1 (SR1)	13
4.1.2 状态寄存器 2 (SR2)	17
4.2 配置寄存器	18
4.2.1 配置寄存器 1 (CR1)	18
4.2.2 配置寄存器 2 (CR2)	22
4.2.3 配置寄存器 4 (CR4)	24
4.2.4 配置寄存器 5 (CR5)	26
5 功能说明	28
5.1 指令结构	28
5.1.2 寄存器访问指令	33
5.1.3 存储器操作	44
5.1.4 存储器写操作指令	44
5.1.5 存储器读操作指令	53
5.1.6 特殊扇区存储器访问指令	62
5.1.7 纠错码 (ECC) 和循环冗余校验指令	65
5.1.8 标识和序列号指令	74
5.1.9 低功耗模式与复位	78
6 最大额定值	85
7 工作范围	86
8 直流电气特性	87

目录

9 数据保留时间与耐久性.....	89
10 电容	90
11 热阻	91
12 交流测试条件	92
13 SDR 交流切换特性	93
14 DDR 交流切换特性	96
15 写保护 (WP) 时序参数	98
16 复位 (RESET) 时序参数	99
17 电源周期时序	100
18 订购信息	101
18.1 订购代码定义	101
19 封装图	102
20 缩略语	103
21 文档规范	104
21.1 测量单位	104
文档修订记录	105

引脚分布

1 引脚分布

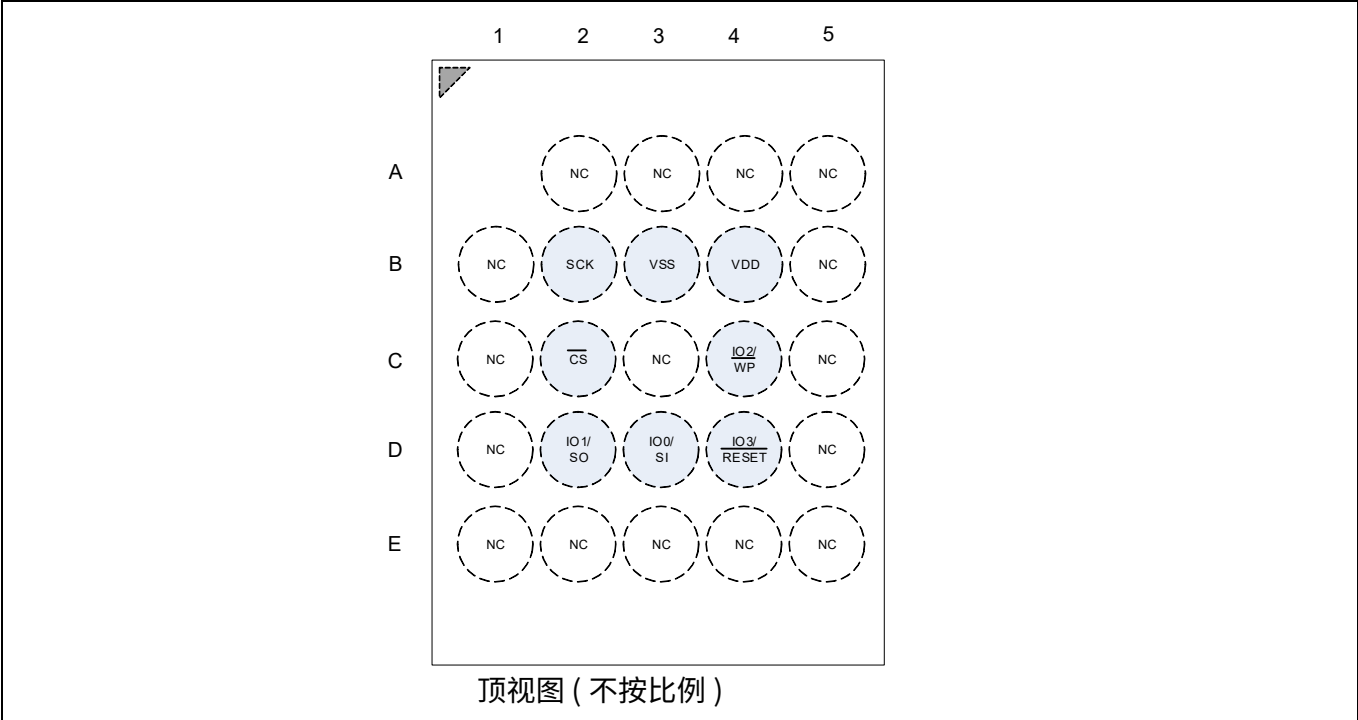


Figure 1 24-BGA 引脚分布

引脚定义

2 引脚定义

Table 1 引脚定义

引脚名称	I/O 类型	说明
CS	输入	芯片选择。 该引脚的低电平有效信号可以使能器件。当它变为高电平时，则器件会进入低功耗待机模式，忽略其他输入，并且输出是三态的。该引脚为低电平时，器件将内部激活 SCK 信号。发送每一个新操作码前，CS 上必须产生下降沿。
SCK	输入	串行时钟。 所有输入 / 输出操作均与串行时钟同步。各输入被锁存在上升沿上，并且各输出在下降沿上发生。由于该器件是同步的，因此时钟频率的值范围为 0 到 108 MHz，可以随时中断该时钟频率。
SI/(I/O0)	输入	串行输入。 所有数据均通过该引脚传送到器件内。该引脚在 SCK 的上升沿上进行采样，并且在其他时间内被忽略。
	输入 / 输出	I/O0: 当该器件处于双线模式或者四线模式时，SI 引脚将成为输入 / 输出 (I/O0) 引脚，在指令和地址周期内作为输入使用，并且在数据输出周期内作为输出使用。
SO/(I/O1)	输出	串行输出。 这是数据输出引脚。该引脚在进行读操作时被驱动，并在其他时间内 (包括 RESET 为低电平的情况) 保持三态。数据传输在串行时钟的下降沿上被驱动。
	输入 / 输出	I/O1: 当该器件处于双线模式或者四线模式时，SO 引脚将成为输入 / 输出 (I/O1) 引脚，在指令和地址周期内作为输入使用，并且在数据输出周期内作为输出使用。
$\overline{\text{WP}}/(I/O2)$	输入	写保护。 当 SRWD 位 (SR1[7]) 为“1”时，该低电平有效引脚防止对状态寄存器和配置寄存器进行写操作。有关写保护的完整说明，请参考第 13 页上的“ 状态寄存器 1 (SR1) ”。如果不使用该引脚，必须将它连接到 V _{DD} 。
	输入 / 输出	I/O2: 当该器件处于四线模式时， $\overline{\text{WP}}$ 引脚将成为输入 / 输出 (I/O2) 引脚，在指令和地址周期内作为输入使用，并且在数据输出周期内作为输出使用。
$\overline{\text{RESET}}/(I/O3)$	输入	硬件复位引脚。 通过该低电平有效引脚可以进行器件复位。当 RESET 为低电平时，器件将自初始化。并在 RESET 输入被释放为高电平时，根据 CS 的高电平或低电平状态，器件将返回到待机状态或有效状态。如果不使用该引脚，必须将它连接到 V _{DD} 。RESET/(I/O3) 操作如 Table 21 说明。
	输入 / 输出	I/O3: 当该器件处于四线模式时， $\overline{\text{RESET}}$ 引脚将成为输入 / 输出 (I/O3) 引脚，在指令和地址周期内作为输入使用，并且在数据输出周期内作为输出使用。
V _{SS}	电源	器件的接地引脚。必须连接至系统的接地端。
V _{DD}	电源	器件的电源输入。

功能概述

3 功能概述

CY15x116QSN 是一个串行 F-RAM 存储器。该存储器阵列逻辑结构为 2,097,152 × 8 位。F-RAM 的功能操作与单线 SPI EEPROM 或单线/双线/四线 SPI 闪存的功能操作相同。CY15x116QSN 与具有相同引脚分布的串行闪存之间的主要区别在于 F-RAM 具有更好的写性能、高耐久性和较低功耗。

3.1 存储器架构

访问 CY15x116QSN 时,用户可以寻址 2048K 地址,每个地址有 8 个数据位。通过单线、双线或四线 I/O,这些 8 位数据被连续移入或移出。通过使用 SPI 协议可以访问这些地址,该协议包含一个芯片选择 (用于支持总线上的多个器件)、一个操作码和一个三字节 (24 位) 地址。然而,因为只需要 21 位来寻址 CY15x116QSN 的所有 2048K 字节地址,所以“无需关注”最高有效地址字节的高 3 位。21 位地址指定了 2048K 存储器阵列中每个数据字节的唯一位置。

如果不包括串行协议所需要的时间在内,存储器的访问时间几乎为零。因此,该存储器以 SPI 总线的速度进行读/写操作。与串行闪存或 EEPROM 不同的是,在初始化新的指令前,不需要轮询器件的就绪条件。第 28 页上的“[功能说明](#)”中详细介绍了该功能。

3.2 串行外设接口 (SPI) 总线

SPI 是同步的串行接口,它使用时钟和数据引脚进行存储器访问并支持数据总线上的多个器件。使用 $\overline{CS}$ 引脚可激活 SPI 总线上的器件。芯片选择、时钟和数据之间的关系是由 SPI 模式决定的。该器件支持 SPI 模式 0 和模式 3。在两种模式下,数据都在 SCK 上升沿 (从 $\overline{CS}$ 变为有效之后的第一个上升沿) 上记录到 F-RAM 内。SPI 协议由操作码控制。在完成某个操作并发出新的操作码前, $\overline{CS}$ 必须进入无效状态。

CY15x116QSN 是一个 SPI 从设备,其运行速度在单倍数据速率 (SDR) 模式下可达 108 MHz,在双倍数据速率 (DDR) 模式下为 46 MHz。该高速串行总线允许与 SPI 主设备进行高性能的串行通信。CY15x116QSN 支持四个不同的 SPI 接口/协议选项:单通道 SPI,扩展型 SPI,双线 SPI,四线 SPI。

更多有关上述各种 SPI 模式下操作码、地址和数据阶段中 I/O 信号的详细信息,请查阅 [Table 2](#)。

Table 2 SPI 模式与信号的详细信息

接口	单通道 SPI	扩展型 SPI ^[1]				多通道 SPI	
		双线数据	四线数据	双线 I/O	四线 I/O	DPI	QPI
信号	$\overline{CS}$, SCK, SI, SO	$\overline{CS}$, SCK, I/O0, I/O1	$\overline{CS}$, SCK, I/O0, I/O1, I/O2, I/O3	$\overline{CS}$, SCK, I/O0, I/O1	$\overline{CS}$, SCK, I/O0, I/O1, I/O2, I/O3	$\overline{CS}$, SCK, I/O0, I/O1	$\overline{CS}$, SCK, I/O0, I/O1, I/O2, I/O3
操作码	SI	I/O0	I/O0	I/O0	I/O0	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3
地址	SI	I/O0	I/O0	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3
数据	SI/SO	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3

注释

1. 扩展的 SPI 模式没有用户设置。器件始终在 SPI 模式下开始运行,然后根据所收到的操作码转换到相应的扩展型 SPI 模式。

功能概述

3.2.1 单通道 SPI

单通道 SPI 是一个四引脚接口, 包括芯片选择 ($\overline{CS}$)、串行输入 (SI)、串行输出 (SO) 和串行时钟 (SCK) 等引脚。激活 $\overline{CS}$ 后, 总线主设备传输的第一个字节便是操作码。随后, 可以传输任何地址和数据。在完成某个操作并发出新的操作码前, $\overline{CS}$ 必须进入无效状态。在该模式下分别使用了 SI 和 SO 作为输入和输出引脚。主设备通过 SI 线传输操作码和地址, 并通过 SO 线读取数据。

3.2.2 扩展型 SPI

CY15x116QSN 还能重新配置标准的 SPI 引脚, 以便可以在双线或四线 I/O 模式下工作, 即为扩展型 SPI 模式。扩展型的 SPI 模式提供: 双线数据、双线输入 / 输出 (I/O)、四线数据和四线输入 / 输出 (I/O) 等模式。发生扩展型的 SPI 指令或器件复位 (上电复位或硬件 / 软件复位) 后, $\overline{CS}$ 变为高电平, 使器件返回到单通道 SPI 模式。扩展型的 SPI 模式具有以下 I/O 配置:

- 当器件在双线输出或双线 I/O 模式时, SI 引脚和 SO 引脚分别成为 I/O0 引脚和 I/O1 引脚。
- 当器件在四线输出或四线 I/O 模式时, SI 引脚、SO 引脚、 $\overline{WP}$ 引脚和 $\overline{RESET}$ 引脚分别成为 I/O0 引脚, I/O1 引脚, I/O2 引脚和 I/O3 引脚。
- 只通过 SI 信号将双线和四线数据指令传送到存储器。数据可以按双比特一组的方式通过 I/O0 和 I/O1 从存储器回送到主机, 也可以按四比特 (半字节) 一组的方式通过 I/O0, I/O1, I/O2 和 I/O3 回送。
- 只通过 SI 信号将双线或四线输入 / 输出 (I/O) 指令发送到存储器, 但可以按照双比特一组通过 I/O0 和 I/O1 将主机的地址传输, 也可以按照四比特 (半字节) 一组通过 I/O0, I/O1, I/O2 和 I/O3 从主机发送。数据同样可以按照双比特一组的方式通过 I/O0 和 I/O1 从存储器回送给主机, 也可以按照四比特 (半字节) 一组的方式通过 I/O0, I/O1, I/O2 和 I/O3 被回送。

3.2.3 双线 SPI (DPI)

通过将 '1' 写入到配置寄存器 2 (CR2) 的位 4, 即 CR2[4] = '1', 可以使能 CY15x116QSN 的多通道 DPI 模式。由于配置寄存器 2 (CR2) 有易失性和非易失性的空间, 所以非易失性寄存器中的用户设置在电源和硬件复位周期内保持不变。因此, 当在非易失性 CR2 中设置了双线 SPI (DPI) 模式时, 它将始终返回 DPI 模式, 直到主机在非易失性 CR2[4] 中将 DPI 位清除为 "0" 为止。通过将 '1' 写入易失性寄存器 CR2[4], 主机可以将器件接口更改为 DPI 模式; 但是这个易失性设置将无法在电源和硬件复位周期内保持不变。在上电或硬件复位周期发生后, 易失性 CR2[4] 设置将被覆盖为相关非易失性位置所存储的默认设置。

当器件在双线 SPI 模式时, SI 引脚和 SO 引脚分别成为 I/O0 引脚和 I/O1 引脚。指令、地址和数据位按照双比特一组的方式通过 I/O0 和 I/O1 引脚从主机被发送到存储器。数据位同样可以按照双比特一组的方式通过 I/O0 和 I/O1 从存储器回送到主机。

3.2.4 四线 SPI (QPI)

通过将 '1' 写入到配置寄存器 2 (CR2) 的位 6, 即 CR2[6] = '1', 可以使能 CY15x116QSN 的多通道 QPI 模式。由于配置寄存器 2 (CR2) 有易失性和非易失性的空间, 所以非易失性寄存器中的用户设置在电源和硬件复位周期内保持不变。因此, 当在非易失性 CR2 中设置了四线 QPI (QPI) 模式时, 它将始终返回 QPI 模式, 直到主机在非易失性 CR2 [6] 中将 QPI 位清除为 "0" 为止。通过将 '1' 写入易失性寄存器 CR2[6], 主机可以将器件接口更改为 QPI 模式; 但是这个易失性设置将无法在电源和硬件复位周期内保持不变。在上电或硬件复位周期发生后, 易失性 CR2[6] 设置将被覆盖为相关非易失性位置所存储的默认设置。

当器件处于四线 SPI 模式时, SI 引脚、SO 引脚、 $\overline{WP}$ 引脚和 $\overline{RESET}$ 引脚分别作为 I/O0 引脚, I/O1 引脚, I/O2 引脚和 I/O3 引脚。指令、地址和数据位按照四比特 (半字节) 一组的方式通过 I/O0, I/O1, I/O2 和 I/O3 引脚从主机被发送到存储器。数据位同样可以按四比特 (半字节) 一组的方式通过 I/O0, I/O1, I/O2 和 I/O3 回送到主机内。

QPI 模式还通过特殊的操作码支持双倍数据速率 (DDR), 这样, 可以在时钟的上升沿和下降沿上传输地址、模式和数据字节。在操作码阶段中没有 DDR 模式, 即为始终在 SDR 模式下传输操作码。主机在 SDR 模式下发送一个特定的指令, 用于确定处于 DDR 模式的地址, 模式和数据周期。然后, 器件才进入 DDR 模式。没有用于使能 DDR 模式的设置。只有在进行存储器读和写操作时, 才通过特殊操作码支持四线 SPI DDR 模式。

功能概述

3.3 SPI 协议中使用的术语

SPI 协议中的常用术语如下：

3.3.1 SPI 主设备

SPI 总线上的操作由 SPI 主设备控制。SPI 总线可能只有一个主设备，但可以有一个或多个从设备。所有从设备共享同一 SPI 总线。主设备可通过 $\overline{CS}$ 引脚选择任意从设备。所有操作必须由主设备启动，主设备通过将从设备的 $\overline{CS}$ 引脚置于低电平状态来激活从设备。主设备也生成 SCK (串行时钟)，SI 和 SO 线上的所有数据传输均与该时钟同步。

3.3.2 SPI 从设备

SPI 从设备由主设备通过芯片选择线激活。来自 SPI 主设备的串行时钟 SCK 作为从设备的输入，所有通信均与该时钟同步。SPI 从设备不会在 SPI 总线上发起通信，而仅执行主设备所发出的指令。

CY15x116QSN 作为 SPI 从设备使用，并与其他 SPI 从设备共享 SPI 总线。

3.3.3 芯片选择 ($\overline{CS}$)

要选择任一从设备，主设备必须下拉相应 $\overline{CS}$ 引脚。仅在 $\overline{CS}$ 引脚为低电平状态时，才能将指令发送到从设备。未选择器件时，通过 SI 引脚传输的数据将被忽略，同时，串行输出引脚 (SO) 保持高阻抗状态。

注释：新指令必须从 $\overline{CS}$ 的下降沿开始。因此，每次有效 $\overline{CS}$ 从高电平转为低电平时，只能发出一个操作码。

3.3.4 串行时钟 (SCK)

串行时钟由 SPI 主设备生成，在 $\overline{CS}$ 变为低电平后，通信将与该时钟同步。

CY15x116QSN 在 SPI 模式 0 和模式 3 下进行数据通信。在两种模式下，从设备在 SCK 的上升沿上锁存输入，且输出在下降沿上被发出。因此，SCK 的第一个上升沿表示已经在 SI 引脚上接收到 SPI 指令的第一个最高有效位 (MSb)。此外，所有数据输入和输出均与 SCK 同步。

3.3.5 数据传输 (SI/SO)

SPI 数据总线由 SI 和 SO 两条线组成，用于串行数据通信。SI 也称为主出从入 (MOSI)，SO 则称为主入从出 (MISO)。主设备通过 SI 引脚将指令发送到从设备，从设备通过 SO 引脚发出响应。如上所述，多个从设备可共享 SI 和 SO 线。

CY15x116QSN 具有 SI 和 SO 两个独立引脚，用于连接至主设备，如 **Figure 2** 所示。在双线或四线 I/O 模式下，这些引脚被配置为 I/O 引脚。**Figure 3** 显示了使用 QSPI 端口的系统接口。

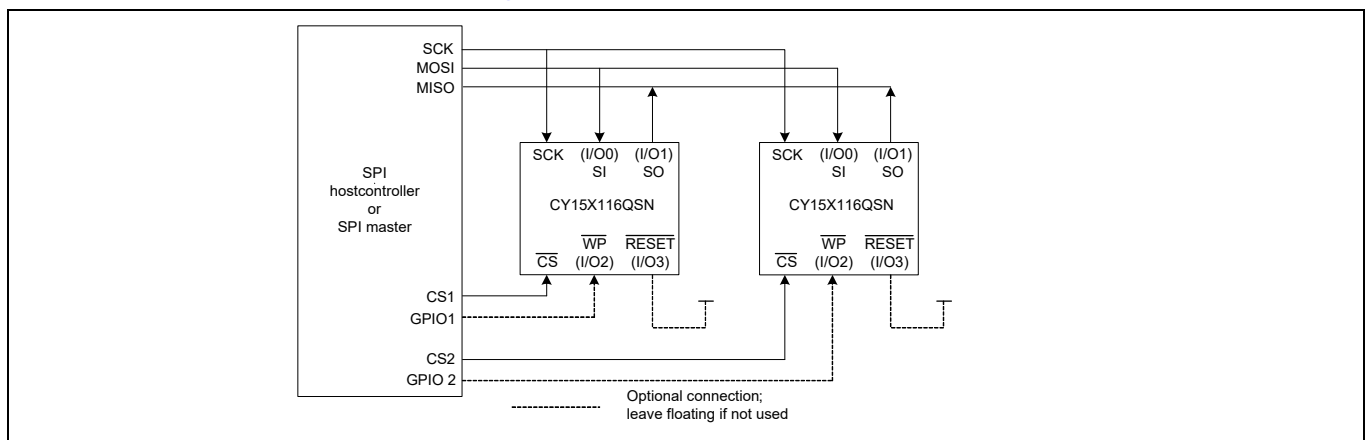


Figure 2 使用 SPI 端口的系统配置

功能概述

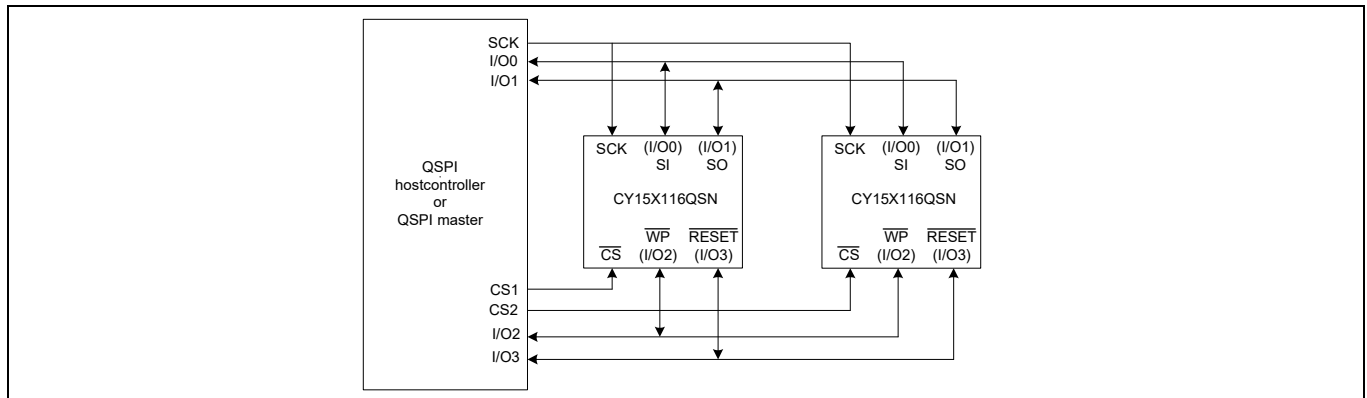


Figure 3 使用 QSPI 端口的系统配置

3.3.6 最高有效位 (MSb)

SPI 协议要求发送的第一位为最高有效位 (MSb)。该条件也适用于地址和数据传输。

16 Mbit 串行 F-RAM 需要一个 3 字节地址才能进行读取或写入操作。因为地址只有 19 位，所以器件会忽略所载入的 5 位。虽然“无需关注”这 5 位，但英飞凌建议将这些位设置为‘0’，以通过无缝切换实现更高存储容量。

3.3.7 串行操作码

通过将 $\overline{CS}$ 置于低电平来选择从设备后，可将收到的第一个字节作为预期操作的操作码。CY15x116QSN 使用标准操作码 (参阅 Table 32) 进行存储器访问。

3.3.8 无效操作码

如果收到保留的操作码，则操作码可能会内部触发意外操作，并以非确定性数据输出开始驱动 I/O 引脚。因此，当 CY15x116QSN 的芯片选择 $\overline{CS}$ 为低电平时，应避免通过 SI 引脚传输保留类别下的所有操作码。

3.3.9 指令

指令是用于访问存储器和寄存器的操作码、地址、模式和 / 或虚拟字节 / 周期的组合。

3.3.10 模式字节

模式字节适用于支持芯片内执行 (XIP) 的所有写和读指令。XIP 是直接从外部存储器执行程序 (代码) 的方法，而不用将代码复制或映射到 RAM 中。当将某个写或读指令设置为 XIP 时，器件在指令周期终止 ($\overline{CS}$ 切换为高电平) 后一直处于 XIP 模式，以便后续指令周期 ($\overline{CS}$ 为低电平) 直接从地址阶段开始 (跳过操作码阶段)。在 XIP 中，器件执行与上一个周期相同的操作。要想在 XIP 中启动新操作，例如，从存储器写入切换为存储器读取，或反过来切换，器件应首先退出当前指令周期所在的 XIP，并使用操作码阶段启动下一个指令周期。模式阶段的操作码仅支持 XIP。欲了解需要模式阶段的操作码列表，请参阅 Table 32。

在操作码和 3 字节地址周期之后，在模式阶段期间传输的模式字节 0xAx (X 为无需关注的位) 或 0xA5 (取决于操作码) 将使器件在下一个指令周期中进入 XIP 模式。必须在每个指令周期期间设置 XIP，以保持下一个周期仍然处于 XIP 状态。在模式阶段期间发送的任何非 0xAx 或 0xA5 值 (!0xAx 或 !0xA5) 将使当前操作退出 XIP。在这种情况下，下一个周期必须始终从操作码阶段开始，从而开始相同的操作或新的操作。根据 SPI 模式和接口类型，传输模式字节所需要的时钟数量将为一个时钟 (四线, DDR) 到八个时钟 (SPI, SDR)。

3.3.11 等待状态或虚拟周期

等待状态 (也称为虚拟周期) 附加在地址位和模式位 (若有) 后面。等待状态周期的数量可分别通过配置寄存器 1 (CR1) 和配置寄存器 2 (CR2) 进行编程。只有经过特定数量的虚拟周期后才能在输出总线上驱动有效数据。支持等待状态的存储器和寄存器读取指令发生之后，紧接着是这些虚拟周期。无论 SPI 模式和数据速率 (SDR 或 DDR) 如何，虚拟周期都是一个完整的时钟周期。在虚拟周期中，无需关注 I/O 的状态。

功能概述

3.4 SPI 模式

CY15x116QSN 可由微控制器驱动，该微控制器的 SPI 外设可在下面两种模式下运行：

- SPI 模式 0 (CPOL = 0, CPHA = 0)
- SPI 模式 3 (CPOL = 1, CPHA = 3)

将 $\overline{CS}$ 引脚置为低电平来选择器件时，该器件会通过 SCK 引脚的状态检测 SPI 模式。器件被选中时，如果 SCK 引脚处于低电平状态，该器件将在 SPI 模式 0 中工作；如果 SCK 引脚处于高电平状态，该器件则在 SPI 模式 3 中工作。**Figure 4** 和 **Figure 5** 分别显示了这两种 SPI 模式。当总线主设备不传输数据时，SCK 时钟的状态为：

- 在模式 0 下，SCK 保持为 0
- 在模式 3 下，SCK 保持为 1

所有 SDR 模式指令都支持 SPI 模式 0 和模式 3。但是，所有 DDR 模式指令仅支持 SPI 模式 0。

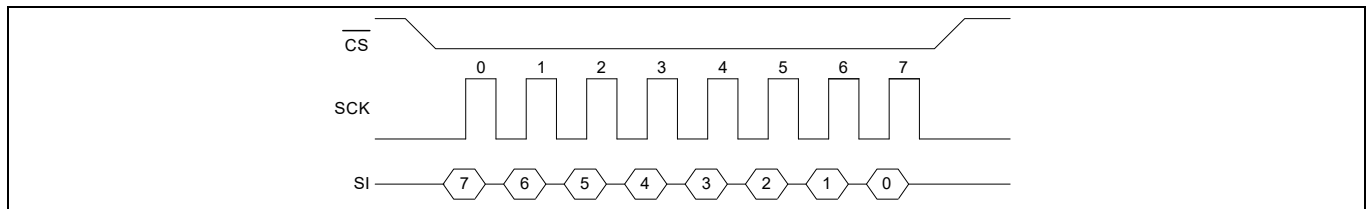


Figure 4 SPI 模式 0

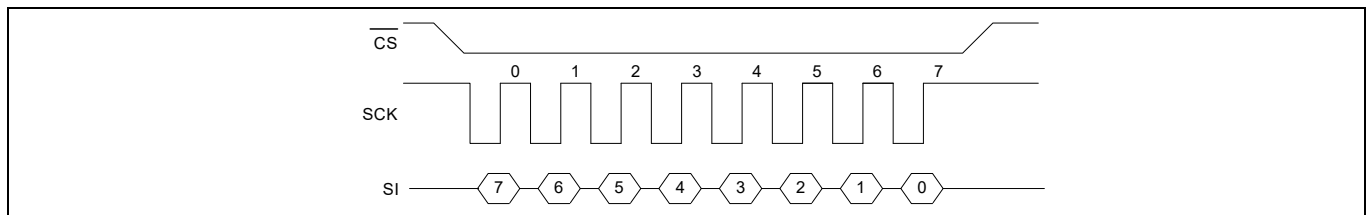


Figure 5 SPI 模式 3

3.4.1 SDR

始终在 SCK 的上升沿 ($\overline{CS}$ 有效后的第一个上升沿开始) 上锁存输入数据位 (包括指令, 地址, 数据)。如果时钟从高电平状态启动 (在模式 3 中), 则采用时钟触发后的第一个上升沿。输出数据在 SCK 的下降沿上可用。

3.4.2 DDR

始终在 SCK 的上升沿 ($\overline{CS}$ 有效后的第一个上升沿开始) 上锁存指令位。如果时钟从高电平状态启动 (在模式 3 中), 则采用时钟触发后的第一个上升沿。但是指令后的地址和输入数据则在 SCK 的双边沿上被锁存。最后指令位在 SCK 的下降沿上被锁存之后, 第一个地址位会在随后的第一个 SCK 上升沿上被锁存。第一个输出数据位则在最后访问延迟 (虚拟) 周期结束后的 SCK 下降沿上被发送。

功能概述

3.5 从上电到第一次访问的时间

当 CY15x116QSN 电源 (V_{DD}) 低于 $V_{DD}(LOW)$ 时, 上电周期开始。CY15x116QSN 等待 V_{DD} 电源上升到最小 $V_{DD}(min)$, 然后器件开始其内部启动序列。CY15x116QSN 的启动序列包括内部上电复位 (POR), 然后加载内部器件配置和调整寄存器以及设置用户可访问的寄存器。启动周期完成后, 所有用户可访问的寄存器 (状态和配置, 模式, ID, ECC 和 CRC) 均被设置为默认值。Table 3 显示了上电 (或 POR) 序列成功后 CY15x116QSN 中每个寄存器的状态。

CY15x116QSN 会忽略所有指令, 直到 V_{DD} 上升到超过 $V_{DD}(min)$ 后再经过 t_{PU} 延迟时间为止。在 t_{PU} 结束前, 不应该发出任何指令。在 t_{PU} 之后, 如果 $\overline{CS}$ 为高电平, 则器件将进入待机模式并消耗待机电流 (I_{SB})。如果配置寄存器 4 (CR4) 中 POR 的深度掉电模式 (DPDPOR) 被设置为 1 (CR4 [2] = 1), 器件将在 t_{PU} 后进入深度掉电模式。

POR 事件发生后, 不能使用状态寄存器 1 的 WIP 位 (SR1[0]) 轮询器件的就绪状态, 因为在 t_{PU} 时间结束前, 仍无法访问器件, 并且不能对它执行任何指令, 包括 RDSR1。但是, 如果 t_{PU} 时间结束后, WIP 状态仍保持高电平, 或者仍无法访问器件, 则表示器件没有正确启动 (启动错误)。一旦发生启动错误, 器件进入以下默认状态:

- 接口模式设置为单线 SPI (SDR)
- 必须将 CR2 的 IO3R 位 (即 CR2[5]) 内部位置为 “1”, 从而使能 IO3 引脚上的硬件复位 ($\overline{RESET}$) 功能。
- 寄存器延迟设置为三个时钟周期 (最大值)
- 输出阻抗设置为 45 欧姆
- 只能通过 RDSR1 和 RDAR (仅限 SPI SDR 模式) 读取 SR1。所有其他指令将保持禁用状态, 若被执行, 将返回未定义的数据。
- 读取 SR1 将返回启动错误标识 0x61

CY15x116QSN 需要电源周期或硬件复位来重新启动启动序列。启动周期完成后, 上述所有默认设置将被替换为实际的用户配置。

Table 3 上电复位 (POR) 后 CY15x116QSN 寄存器的状态

功能	寄存器类型	上电复位 (POR) 后 CY15x116QSN 寄存器的状态
器件状态	状态寄存器 1 (SR1)	默认为相应的非易失性位
	状态寄存器 2 (SR2)	0x00
器件配置 [2]	配置寄存器 1 (CR1)	默认为相应的非易失性位
	配置寄存器 2 (CR2)	默认为相应的非易失性位
	配置寄存器 4 (CR4)	默认为相应的非易失性位
	配置寄存器 5 (CR5)	默认为相应的非易失性位
标识	标识寄存器	默认为相应的非易失性位 (出厂设置)
	唯一标识寄存器	默认为相应的非易失性位 (出厂设置)
	序列号寄存器	默认为相应的非易失性位 (出厂设置为 0x0000000000000000)
错误修正	ECC 状态寄存器	0x00
	ECC 计数寄存器	0x0000
	ECC 地址陷阱寄存器	0x00000000
循环冗余校验	CRC 寄存器	0x00000000

4 CY15x116QSN 寄存器

CY15x116QSN 支持各种状态和配置寄存器，用于进行器件状态更新和配置设置。以下各章节介绍了 CY15x116QSN 寄存器及其访问的详细信息。

4.1 状态寄存器

CY15x116QSN 支持两个状态寄存器：状态寄存器 1 (SR1) 和状态寄存器 2 (SR2)，为器件提供写保护设置以及就绪 /CRC 状态。SR1 寄存器在 F-RAM 中具有易失性和相关非易失性寄存器空间。非易失性寄存器在掉电期间保留器件配置。然后，在上电期间或硬件复位 (JEDEC 复位或 RESET 引脚) 后，器件配置将被复制到相应的易失性寄存器中。在正常访问期间，CY15x116QSN 状态机仅使用易失性寄存器设置更改器件配置。由于 CY15x116QSN 为易失性和非易失性配置寄存器提供独立空间，因此主机只能对易失性寄存器进行编程，以使当前电源周期的配置有效。非易失性写操作将改变易失性和非易失性寄存器的内容。因此，新配置将立即对当前电源周期以及后续电源周期或硬件复位周期有效。SR2 是一个只读寄存器。

通过使用专用状态寄存器读取操作码 (RDSR1, RDSR2) 或使用跟随状态寄存器地址的 RDAR 可以对状态寄存器进行读取操作。状态寄存器读取始终返回易失性寄存器的内容。有关状态寄存器的详细信息，请参见以下章节。

4.1.1 状态寄存器 1 (SR1)

Table 4 中所示的状态寄存器 1 (SR1) 包含状态和写保护控制位。对于写操作，可通过 WRSR 或 WRAR 指令访问 SR1。对于读操作，则通过 RDSR1 或 RDAR 指令访问该寄存器。第 33 页上的“**寄存器访问指令**”中介绍了 SR1 访问的详细信息。

WRAR 非易失性写地址 — 0x000000

WRAR 易失性写地址 — 0x070000

RDAR 读取地址 — 0x000000 或 0x070000

Table 4 中每个位后面的默认状态是出厂编程值。

Table 4 状态寄存器 1 (SR1)

SR1[7]	SR16	SR1[5]	SR1[4]	SR1[3]	SR1[2]	SR1[1]	SR1[0]
SRWD (0)	RFU (0)	TBPROT (0)	BP2 (0)	BP1 (0)	BP0 (0)	WEL (0)	WIP (0)

Table 5 状态寄存器 1 (SR1) — 非易失性

位	位名	位功能	类型	读 / 写	说明
SR1[7]	SRWD	状态寄存器写入被禁用	NV	R/W	1 = $\overline{WP}$ 为低电平时锁定状态寄存器和配置寄存器的状态 0 = 无论 $\overline{WP}$ 引脚状态如何，寄存器写保护不被禁用
SR16	RFU	保留 (0)			保留供将来使用
SR1[5]	TBPROT	高地址或低地址相对保护	NV	R/W	1 = 保护开始于存储器阵列底部 0 = 保护开始于存储器阵列顶部
SR1[4]	BP2	选定保护位	NV	R/W	保护存储器阵列的选择地址范围
SR1[3]	BP1		NV		
SR1[2]	BP0		NV		
SR1[1]	WEL	写使能锁存	V	R	WEL 表示器件是否使能写入功能。上电时，该位默认为 '0' (禁用)。 WEL = 1 --> 使能写操作 WEL = 0 --> 禁用写操作

注释

2. 配置寄存器 3 (CR3) 被保留供将来使用。

Table 5 状态寄存器 1 (SR1) — 非易失性 (续)

位	位名	位功能	类型	读 / 写	说明
SR1[0]	WIP	正在进行	V	R	1 = 器件处于忙碌状态 0 = 器件处于就绪状态

NV — 非易失性；V — 易失性

Table 6 状态寄存器 1 (SR1) — 易失性

位	位名	位功能	类型	读 / 写	说明
SR1[7]	SRWD	状态寄存器写入被禁用	V	R/W	1 = $\overline{WP}$ 为低电平时锁定状态寄存器和配置寄存器的状态 0 = 无论 WP 引脚状态如何，寄存器都不受保护
SR1[6]	RFU	保留 (0)			保留供将来使用
SR1[5]	TBPROT	高地址或低地址相对保护	V	R/W	1 = 保护开始于存储器阵列底部 0 = 保护开始于存储器阵列顶部
SR1[4]	BP2	模块保护位	V	R/W	保护存储器阵列的选定地址范围
SR1[3]	BP1		V		
SR1[2]	BP0		V		
SR1[1]	WEL	写使能锁存	V	R	WEL 表示器件是否使能写入功能。上电时，该位默认为 '0' (禁用) WEL = 1 --> 使能写操作 WEL = 0 --> 禁用写操作
SR1[0]	WIP	正在进行	V	R	1 = 器件处于忙碌状态 0 = 器件处于就绪状态

V - 易失性

4.1.1.1 状态寄存器保护 (SRWD) SR1 [7]

当该位被设置为 1 并且写保护 ($\overline{WP}$) 引脚被驱动为低电平时，该位使能状态和配置寄存器的写保护。在该模式下，会忽略更改状态寄存器或配置寄存器内容的任何指令，从而有效锁定器件的状态。如果 SRWD 设置为 0，无论 WP 状态如何 (低电平还是高电平)，状态和配置寄存器写保护仍然被禁用。请参阅 Table 9，了解存储器和状态寄存器保护的各个选项。

4.1.1.2 顶部和底部保护 (TBPROT) SR1 [5]

该位对模块保护位 BP2, BP1 和 BP0 的操作进行定义。该位控制受模块保护位保护的存储器阵列 (从顶部或底部) 的起始点。

Table 7 保护开始于顶部 (TBPROT = 0)

状态寄存器内容			受保护的存储器阵列部分	受保护的地址范围
BP2	BP1	BP0		
0	0	0	无	无
0	0	1	存储器阵列高 1/64	0x1F8000–0x1FFFFFF
0	1	0	存储器阵列高 1/32	0x1F0000–0x1FFFFFF
0	1	1	存储器阵列高 1/16	0x1E0000–0x1FFFFFF
1	0	0	存储器阵列高 1/8	0x1C0000–0x1FFFFFF
1	0	1	存储器阵列高 1/4	0x180000–0x1FFFFFF
1	1	0	存储器阵列高 1/2	0x100000–0x1FFFFFF
1	1	1	整个存储器	0x000000–0x1FFFFFF

Table 8 保护开始于底部 (TBPROT = 1)

状态寄存器内容			受保护的存储器阵列部分	受保护的地址范围
BP2	BP1	BP0		
0	0	0	无	无
0	0	1	存储器阵列低 1/64	0x000000–0x007FFF
0	1	0	存储器阵列低 1/32	0x000000–0x00FFFF
0	1	1	存储器阵列低 1/16	0x000000–0x01FFFF
1	0	0	存储器阵列低 1/8	0x000000–0x03FFFF
1	0	1	存储器阵列低 1/4	0x000000–0x07FFFF
1	1	0	存储器阵列低 1/2	0x000000–0x0FFFFFF
1	1	1	整个存储器	0x000000–0x1FFFFFF

4.1.1.3 模块保护 (BP2, BP1 和 BP0) SR1 [4:2]

这些位定义受写保护的存储器阵列, 防止对该阵列执行写入指令。当一个或多个 BP 位被设置为 ‘1’ 时, 相应的存储器地址得到保护, 不能对其进行写操作。结合使用模块保护位 (BP2, BP1 和 BP0) 和 TBPROT 位可以保护存储器阵列的地址范围。地址范围的大小由 BP 位的值和该范围的上限或下限起始点 (由 TBPROT 选择) 决定。[Table 7](#) 和 [Table 8](#) 显示了 CY15x116QSN 器件中使用 BP[2:0] 位设置的受保护地址范围。

4.1.1.4 写使能锁存 (WEL) SR1[1]

必须将 WEL 位设置为 ‘1’ 才能对存储器阵列或寄存器进行写操作，如 [Table 9](#) 中所示。只有通过执行写使能 (WREN) 指令，该位才被置 ‘1’。在跟随以下操作码的 CS 的上升沿到来时，WEL 位 (SR1[1]) 自动被清零：WRDI (04h), WRSR (01h), SSWR (42h), WRAR (71h) 以及 WRSN (C2h)。在跟随存储器写入操作码的 CS 的上升沿到来时，WEL 位 (SR1[1]) 不会被清零。WEL 位是易失性位，并且在 POR 和所有复位事件之后返回到默认的 “0” 状态。

Table 9 写保护

SRWD	WP	WEL	受保护的模块	无保护的模块	状态和配置寄存器 ^[3]
X	X	0	受保护	受保护	受保护
0	X	1	受保护	可写	可写
1	0	1	受保护	可写	受保护
1	1	1	受保护	可写	可写

4.1.1.5 正在进行 (WIP) SR1[0]

这是一个只读位，并在正常操作期间指示器件就绪或忙碌状态。执行 CRC 计算时，CY15x116QSN 将该位设置为 1。在 CY15x116QSN 中，没有其他指令和事件会将 WIP 设置为 1。当 WIP 为 “1” 时，CY15x116QSN 只能执行读取状态寄存器 (使用 RDSR1/RDSR2)，或读取任何寄存器 (状态寄存器地址后的 RDAR)、CRC 挂起 (EPCS) 和软件复位 (RST 后的 RSTEN) 等指令。WIP 为 “1” 时，其他指令被忽略。在上电或复位周期中，不能使用 WIP 位轮询器件就绪状态。该位是易失性位，并且在 POR 和所有复位事件之后返回到默认的 “0” 状态。

注释

3. 所有位 (只读位和保留位除外)

4.1.2 状态寄存器 2 (SR2)

Table 10 中的状态寄存器 2 (SR2) 展示了 CRC 操作时的器件状态。SR2 是只读易失性寄存器，可由 RDSR2 或 RDAR 指令访问，用于读取操作。第 33 页上的“[寄存器访问指令](#)”中介绍了 SR1 访问的详细信息。

RDAR 读取地址 — 0x000001 或 0x070001

Table 9 中每个位后面的默认状态是出厂编程值。

Table 10 状态寄存器 2 (SR2)

SR2[7]	SR2[6]	SR2[5]	SR2[4]	SR2[3]	SR2[2]	SR2[1]	SR2[0]
RFU (0)	RFU (0)	RFU (0)	CRCS (0)	CRCA (0)	RFU (0)	RFU (0)	RFU (0)

Table 11 状态寄存器 2 (SR2) — 仅适用于易失性寄存器

位	位名	位功能	类型	读 / 写	说明
SR2[7]	RFU	保留 (0)			保留供将来使用
SR2[6]	RFU	保留 (0)			保留供将来使用
SR2[5]	RFU	保留 (0)			保留供将来使用
SR2[4]	CRCS	CRC 挂起	V	R	1 = 处于 CRC 挂起模式 0 = 不处于 CRC 挂起模式
SR2[3]	CRCA	CRC 中止	V	R	1 = CRC 指令被中止 0 = CRC 指令不被中止
SR2[2]	RFU	保留 (0)			保留供将来使用
SR2[1]	RFU	保留 (0)			保留供将来使用
SR2[0]	RFU	保留 (0)			保留供将来使用

V— 易失性

4.1.2.1 CRC 挂起 (CRCS) SR2 [4]

CRC 挂起 (CRCS) 位用于确定器件是否处于 CRC 挂起模式。在器件 CRC 计算期间，执行 CRC 挂起指令 (EPCS) 会使该位置 1，表示 CRC 挂起状态。CRC 恢复 (EPCR) 指令将 CRCS 位清零，表示器件退出 CRC 挂起模式。该位是一个只读位。复位 (POR, 硬件和软件) 后，该位也被清除。

4.1.2.2 CRC 中止 (CRCA) SR2 [3]

该位表示 CRC 计算 (CRCC) 操作是否中止。当结束地址和起始地址标准 ($EA < SA + 3$ ，即为结束地址应至少高于起始地址 32 位对齐字) 不满足时，CRC 计算将被中止。当后续 CRC 计算成功启动时，该位被清零。复位 (POR, 硬件和软件) 后，该位也被清除。

4.2 配置寄存器

CY15x116QSN 支持四个用户配置寄存器: CR1, CR2, CR4 和 CR5, 用于编程器件中的各种控制。每个配置寄存器在 F-RAM 中都有易失性和相关非易失性寄存器空间。非易失性寄存器在掉电期间保留器件配置。然后, 在上电期间或硬件复位 (JEDEC 复位或 RESET 引脚) 后, 器件配置将被复制到相应的易失性寄存器中。在正常访问期间, CY15x116QSN 状态机仅使用易失性寄存器设置更改器件配置。由于 CY15x116QSN 为易失性和非易失性配置寄存器提供独立空间, 因此主机只能对易失性寄存器进行编程, 以使当前电源周期的配置有效。非易失性写操作将改变易失性和非易失性寄存器的内容。因此, 新配置将立即对当前电源周期以及后续电源周期或硬件复位周期有效。

使用专用配置寄存器读取操作码 (RDCR1, RDCR2, RDCR3, RDCR4) 或 RDAR 指令对配置寄存器进行读取操作将始终返回易失性寄存器内容。有关配置寄存器的详细信息, 请参见以下章节。

4.2.1 配置寄存器 1 (CR1)

配置寄存器 1 (CR1), 如 Table 12 中所示, 配置存储器的延迟 (虚拟) 周期以及特殊扇区读取, 并在扩展 SPI 访问期间启用四线 I/O。对于写操作, 可通过 WRAR 指令访问 CR1。对于读操作, 则通过 RDCR1 或 RDAR 指令访问该寄存器。第 33 页上的 "寄存器访问指令" 中介绍了 CR1 访问的详细信息。

WRAR 非易失性写地址 — 0x000002

WRAR 易失性写地址 — 0x070002

RDAR 读取地址 — 0x000002 或 0x070002

Table 12 中每个位后面的默认状态是出厂编程值。

Table 12 配置寄存器 1 (CR1)

CR1[7]	CR1[6]	CR1[5]	CR1[4]	CR1[3]	CR1[2]	CR1[1]	CR1[0]
MLC3 (0)	MLC2 (0)	MLC1 (0)	MLC0 (0)	RFU (0)	RFU (0)	QUAD (0)	RFU (0)

Table 13 配置寄存器 1 (CR1) — 非易失性

位	位名	位功能	類型	读 / 写	说明
CR1[7]	MLC3	存储器延迟代码	NV	R/W	为存储器以及特殊扇区读取操作码配置延迟（虚拟）周期数。 示例： 0000 - 0 个周期 0110 - 6 个周期 1111 - 15 个周期
CR1[6]	MLC2		NV		
CR1[5]	MLC1		NV		
CR1[4]	MLC0		NV		
CR1[3]	RFU	保留 (0)			保留供将来使用
CR1[2]	RFU	保留 (0)			保留供将来使用
CR1[1]	QUAD	四线	NV	R/W	1 = 四线 0 = 双线或串行
CR1[0]	RFU	保留 (0)			保留供将来使用

NV — 非易失性

Table 14 配置寄存器 1 (CR1) — 易失性

位	位名	位功能	類型	读 / 写	说明
CR1[7]	MLC3	存储器延迟代码	V	R/W	为存储器以及特殊扇区读取操作码配置延迟 (虚拟) 周期数。 示例： 0000 - 0 个周期 0110 - 6 个周期 1111 - 15 个周期
CR1[6]	MLC2		V		
CR1[5]	MLC1		V		
CR1[4]	MLC0		V		
CR1[3]	RFU	保留 (0)			保留供将来使用
CR1[2]	RFU	保留 (0)			保留供将来使用
CR1[1]	QUAD	四线	V	R/W	1 = 四线 0 = 双线或串行
CR1[0]	RFU	保留 (0)			保留供将来使用

V - 易失性

4.2.1.1 存储器延迟代码 (MLC) CR1 [7:4]

这四个位配置所有可变延迟存储器读取指令中的延迟 (虚拟) 周期。通过这些位，用户可以在正常操作期间调整存储器读取延迟，从而优化不同工作频率下各种指令的延迟。无论 SPI 模式和数据速率 (SDR 或 DDR) 如何，虚拟周期都是一个完整的时钟周期。

一些读取操作码支持地址周期后面附加虚拟周期。这些虚拟周期提供额外延迟，在数据返回到主机系统前，需要这些延迟来完成存储器阵列的初始读取访问。SPI 时钟 (SCK) 频率增大，虚拟周期数也要增加，以满足相应的延迟。

Table 15 和 **Table 17** 中显示了支持虚拟周期的每个操作码的最大 SPI 时钟频率和相应时钟延迟。主机控制器可以通过为每个操作码设置独立的延迟周期来确定优化时序，或者为所需工作频率设置最差情况的延迟，该延迟满足所有操作码的延迟要求。为较高频率设置的存储器读取延迟也适用于所有较低频率。因此，当主机将 SPI 时钟 (SCK) 从较高频率降低到较低频率时，调整时钟延迟变为可选的。

Table 15 标题中的格式 (CMD, ADDR, DATA) 表示这些字节在不同 SPI 模式下通过各个 I/O 的传输。例子：(2,2,2) 表示在 DPI 模式下通过两个 I/O (I/O0 和 I/O1) 传输所有指令 (CMD)、地址 (ADDR) 和数据 (DATA) 字节。与此类似，(1,2,2) 表示通过单个 I/O (I/O0) 发送 CMD 字节，且在双线 I/O 模式下通过两个 I/O (I/O0, I/O1) 发送 ADDR 和 DATA 字节。(1, 1, 4) 表示通过单个 I/O (I/O0) 发送 CMD、ADDR 字节，且在四线数据模式下通过四个 I/O (I/O0, I/O1, I/O2, I/O3) 发送 DATA 字节。

模式 (Mode) 表示各种 SPI 接口模式下所需的时钟周期数量，用于在地址位之后传输模式字节。由于在地址周期之后传输模式位，所以传输模式位所需的时钟周期被内部添加到延迟计算中。

Table 15 存储器读取指令的延迟 (虚拟) 周期 — 支持 XIP 模式 (SDR)

延迟 (虚拟 周期) [4]	SPI (SDR)	DPI (SDR)	QPI (SDR)	双线数据 (SDR)	双线 I/O (SDR)	四线数据 (SDR)	四线 I/O (SDR)
	FAST_READ	FAST_READ	FAST_READ, QIOR	DOR	DIOR	QOR	QIOR
	(1, 1, 1, 1, 1)	(2, 2, 2, 2, 2)	(4, 4, 4, 4, 4)	(1, 1, 1, 1, 2)	(1, 2, 2, 2, 2)	(1, 1, 1, 1, 4)	(1, 4, 4, 4, 4)
	模式 = 8	模式 = 4	模式 = 2	模式 = 8	模式 = 4	模式 = 8	模式 = 2
0	108 MHz	45 MHz ^[4]	10 MHz ^[4]	108 MHz	45 MHz ^[4]	108 MHz	10 MHz ^[4]
1	108 MHz	55 MHz ^[4]	20 MHz ^[4]	108 MHz	55 MHz ^[4]	108 MHz	20 MHz ^[4]
2	108 MHz	70 MHz ^[4]	35 MHz ^[4]	108 MHz	70 MHz ^[4]	108 MHz	35 MHz ^[4]
3	108 MHz	80 MHz ^[4]	45 MHz ^[4]	108 MHz	80 MHz ^[4]	108 MHz	45 MHz ^[4]
4	108 MHz	90 MHz ^[4]	55 MHz ^[4]	108 MHz	90 MHz ^[4]	108 MHz	55 MHz ^[4]
5	108 MHz	105 MHz ^[4]	70 MHz ^[4]	108 MHz	105 MHz ^[4]	108 MHz	70 MHz ^[4]
6	108 MHz	108 MHz	80 MHz ^[4]	108 MHz	108 MHz	108 MHz	80 MHz ^[4]
7	108 MHz	108 MHz	90 MHz ^[4]	108 MHz	108 MHz	108 MHz	90 MHz ^[4]
8	108 MHz	105 MHz	105 MHz ^[4]	108 MHz	108 MHz	108 MHz	105 MHz ^[4]
9–15	108 MHz	108 MHz	108 MHz	108 MHz	108 MHz	108 MHz	108 MHz

Table 16 存储器读取指令的延迟 (虚拟) 周期 — 支持 XIP 模式 (DDR)

延迟 (虚拟) 周期	QPI (DDR)	四线 I/O (DDR)
	DDRFR, DDRQIOR	DDRQIOR
	(4, 4, 4, 4, 4)	(1, 4, 4, 4, 4)
	模式 = 1	模式 = 1
0	不适用	
1	不适用	
2	10 MHz ^[4]	10 MHz ^[4]
3	15 MHz ^[4]	15 MHz ^[4]
4	25 MHz ^[4]	25 MHz ^[4]
5	33 MHz ^[4]	33 MHz ^[4]
6	40 MHz ^[4]	40 MHz ^[4]
7-15	46 MHz ^[4]	46 MHz ^[4]

注释

4. 该参数由出厂校准保证, 并非经过生产测试。

Table 17 存储器读取指令的延迟 (虚拟) 周期 — 不支持 XIP 模式

延迟 (虚拟) 周期	SPI (SDR)	DPI (SDR)	QPI (SDR)
	READ, ECCRD, SSRD		
	(1, 1, 1, 1, 1)	(2, 2, 2, 2, 2)	(4, 4, 4, 4, 4)
	模式 = 不适用	模式 = 不适用	模式 = 不适用
0	35 MHz ^[5]	不适用	不适用
1	45 MHz ^[5]	不适用	不适用
2	55 MHz ^[5]	20 MHz ^[5]	10 MHz ^[5]
3	70 MHz ^[5]	35 MHz ^[5]	20 MHz ^[5]
4	80 MHz ^[5]	45 MHz ^[5]	35 MHz ^[5]
5	90 MHz ^[5]	55 MHz ^[5]	45 MHz ^[5]
6	105 MHz ^[5]	70 MHz ^[5]	55 MHz ^[5]
7	108 MHz	80 MHz ^[5]	70 MHz ^[5]
8	108 MHz	90 MHz ^[5]	80 MHz ^[5]
9	108 MHz	105 MHz ^[5]	90 MHz ^[5]
10	108 MHz	108 MHz	105 MHz ^[5]
11-15	108 MHz	108 MHz	108 MHz

4.2.1.2 四线数据宽度 (QUAD) CR1 [1]

当该位设置为1时,它将器件的数据宽度切换为4个I/O — 四线模式,即 $\overline{WP}$ 变为I/O2, $\overline{RESET}/(I/O3)$ 变为I/O3。如果通过设置配置寄存器 2(CR2[5]) 中的 IO3R 位来使能 I/O3 上的备用功能,那么当 $\overline{CS}$ 为低电平时, $\overline{RESET}/(I/O3)$ 作为 I/O3 使用, $\overline{CS}$ 为高电平时,该引脚用作 $\overline{RESET}$ 输入。 $\overline{WP}$ 输入被禁用,并内部设置为 1。执行四线输出读取、四线 I/O 读取和 DDR 四线 I/O 读取等扩展型 SPI 读指令时,必须将 QUAD 位设置为 1。[Table 21](#) 中显示了“QUAD”位设置对各种 SPI 接口的影响。

注释

5. 该参数由出厂校准保证,并非经过生产测试。

4.2.2 配置寄存器 2 (CR2)

Table 18 中所示的配置寄存器 2 (CR2) 用于控制串行接口设置。对于写操作, 可通过 WRAR 指令访问 CR2。对于读操作, 则通过 RDCR2 或 RDAR 指令访问该寄存器。第 33 页上的“[寄存器访问指令](#)”中介绍了 CR2 访问的详细信息。

WRAR 非易失性写地址 — 0x000003

WRAR 易失性写地址 — 0x070003

RDAR 读取地址 — 0x000003 或 0x070003

Table 18 中每个位后面的默认状态是出厂编程值。

Table 18 配置寄存器 2 (CR2)

CR2[7]	CR2[6]	CR2[5]	CR2[4]	CR2[3]	CR2[2]	CR2[1]	CR2[0]
RFU (0)	QPI (0)	IO3R (0)	DPI (0)	RFU (0)	RFU (0)	RFU (0)	RFU (0)

Table 19 配置寄存器 2 (CR2) — 非易失性

位	位名	位功能	类型	读 / 写	说明
CR2[7]	RFU	保留 (0)			保留供将来使用
CR2[6]	QPI	四线 SPI 使能	NV	R/W	1 = 使能 QPI 协议 0 = 使能 SPI 协议 (如果 DPI 位被置为 '0')
CR2[5]	IO3R	IO3 复位	NV	R/W	1 = $\overline{CS}$ 为高电平时, I/O3 作为 $\overline{RESET}$ 输入使用 0 = I/O3 没有备用功能
CR2[4]	DPI	双线 SPI 使能	NV	R/W	1 = 使能 DPI 协议 0 = 使能 SPI 协议 (如果 QPI 位被置为 '0')
CR2[3]	RFU	保留 (0)			保留供将来使用
CR2[2]	RFU	保留 (0)			保留供将来使用
CR2[1]	RFU	保留 (0)			保留供将来使用
CR2[0]	RFU	保留 (0)			保留供将来使用

NV — 非易失性

Table 20 配置寄存器 2 (CR2) — 易失性

位	位名	位功能	类型	读 / 写	说明
CR2[7]	RFU	保留 (0)			保留供将来使用
CR2[6]	QPI	四线 SPI 使能	V	R/W	1 = 使能 QPI 协议 0 = 使能 SPI 协议 (如果 DPI 位被置为 '0')
CR2[5]	IO3R	IO3 复位	V	R/W	1 = $\overline{CS}$ 为高电平时, I/O3 作为 $\overline{RESET}$ 输入使用 0 = I/O3 没有备用功能
CR2[4]	DPI	双线 SPI 使能	V	R/W	1 = 使能 DPI 协议 0 = 使能 SPI 协议 (如果 QPI 位被置为 '0')
CR2[3]	RFU	保留 (0)			保留供将来使用
CR2[2]	RFU	保留 (0)			保留供将来使用
CR2[1]	RFU	保留 (0)			保留供将来使用
CR2[0]	RFU	保留 (0)			保留供将来使用

NV — 非易失性

4.2.2.1 四线 SPI (QPI) CR2 [6]

该位控制四线 SPI 模式下的指令和数据宽度。在该模式下，主机系统和存储器之间的所有传输在 I/O0 到 I/O3 上实现，传输宽度为 4 比特，包括所有指令。对于 QPI 模式，由于不需要将 CR1 [1] 中的 QUAD 位设置为 1，因此该位被忽略。更多信息，请查阅 [Table 22](#)。

4.2.2.2 IO3 复位 (IO3R) CR2 [5]

该位控制 $\overline{\text{RESET}}/(\text{I/O3})$ 引脚的行为。该位设置为 1 时，在正常操作期间使能 $\overline{\text{RESET}}$ 输入。[Table 21](#) 显示了基于接口模式的 $\overline{\text{RESET}}/(\text{I/O3})$ 功能。

4.2.2.3 四线 (DPI) CR2 [4]

该位控制双线 SPI 模式下的指令和数据宽度。在该模式下，主机系统和存储器之间的所有传输在 I/O0 到 I/O1 上实现，传输宽度为 2 比特，包括所有指令。更多信息，请查阅 [Table 22](#)。

Table 21 $\overline{\text{RESET}}/(\text{I/O3})$ 引脚功能

接口模式	QUAD 位 (CR1[1] ^[6])	RESET/ (I/O3) 引脚功能			
		IO3R (CR2[5]) = 0 (IO3 复位禁用)		IO3R (CR2[5]) = 1 (IO3 复位使能)	
		$\overline{\text{CS}} = 0$	$\overline{\text{CS}} = 1$	$\overline{\text{CS}} = 0$	$\overline{\text{CS}} = 1$
SPI	QUAD = 0	无功能	无功能	RESET	RESET
SPI	QUAD = 1	I/O3 ^[7]	无功能	I/O3 ^[7]	RESET
DPI	QUAD = 0	无功能	无功能	RESET	RESET
DPI	QUAD = 1	无功能	无功能	无功能	RESET
QPI	QUAD = x (无需关注)	I/O3	无功能	I/O3	RESET

Table 22 SPI 工作模式设置

QUAD ^[8] CR1[1]	DPI CR2[4]	QPI CR2[6]	工作模式
0	0	0	SPI, 扩展型 SPI (双线)
1	0	0	SPI, 扩展型 SPI (双线 / 四线)
X	1	0	DPI
X	0	1	QPI
0	1	1	SPI ^[9] , 扩展型 SPI (双线) — 不建议使用该配置
1	1	1	SPI ^[9] , 扩展型 SPI (双线 / 四线) — 不建议使用该配置

注释

- 所有扩展型 SPI 开始于 SPI 模式。
- SPI 和 DPI 模式没有该功能。四线数据模式或四线 I/O 模式将使用 I/O3。
- QUAD = '1' 将重新配置 I/O 为四线模式，并且会影响到 $\overline{\text{WP}}$ 和 $\overline{\text{RESET}}$ 的操作。请参考 [Table 21](#)，了解更详细内容。
- 寄存器读取将始终返回对其写入的内容，即使这是不建议的配置。

4.2.3 配置寄存器 4 (CR4)

Table 23 中所示的配置寄存器 4 (CR4) 控制输出驱动阻抗和深度掉电 (DPD) 模式设置。对于写操作, 可通过 WRAR 指令访问 CR4。对于读操作, 则通过 RDCR4 或 RDAR 指令访问该寄存器。第 33 页上的 "寄存器访问指令" 中介绍了 CR4 访问的详细信息。

WRAR 非易失性写地址 — 0x000005

WRAR 易失性写地址 — 0x070005

RDAR 读取地址 — 0x000005 或 0x070005

Table 23 中每个位后面的默认状态是出厂编程值。

Table 23 配置寄存器 4 (CR4)

CR4[7]	CR4[6]	CR4[5]	CR4[4]	CR4[3]	CR4[2]	CR4[1]	CR4[0]
OI (0)	OI (0)	OI (0)	RFU (0)	RFU (1)	DPDPOR (0)	RFU (0)	RFU (0)

Table 24 配置寄存器 4 (CR4) — 非易失性

位	位名	位功能	类型	读 / 写	说明
CR4[7]	OI	输出阻抗	NV	R/W	输出阻抗选择
CR4[6]			NV	R/W	
CR4[5]			NV	R/W	
CR4[4]	RFU	保留 (0)			保留供将来使用
CR4[3]	RFU	保留 (1)			保留供将来使用
CR4[2]	DPDPOR	上电复位时的深度掉电模式	NV	R/W	1 = $\overline{CS}$ 为高电平时, 完成上电复位或硬件复位 (包括 JEDEC 复位) 后, 器件进入深度掉电模式 0 = $\overline{CS}$ 为高电平时, 完成上电复位或硬件复位 (包括 JEDEC 复位) 后, 器件进入待机模式
CR4[1]	RFU	保留 (0)			保留供将来使用
CR4[0]	RFU	保留 (0)			保留供将来使用

NV — 非易失性

注释

10. 对该配置寄存器进行写操作时, SPI 总线主设备必须保证位 CR4 [3] 保持为 '1'。将该位设置为 '0' 可能会影响到器件的功能。

Table 25 配置寄存器 4 (CR4) — 易失性

位	位名	位功能	类型	读 / 写	说明
CR4[7]	OI	输出阻抗	V	R/W	输出阻抗选择
CR4[6]			V	R/W	
CR4[5]			V	R/W	
CR4[4]	RFU	保留 (0)			保留供将来使用
CR4[3]	RFU	保留 (1)			保留供将来使用 ^[10]
CR4[2]	DPDPOR	上电复位时的深度掉电模式	V	R/W	1 = $\overline{CS}$ 为高电平时, 完成上电复位或硬件复位 (包括 JEDEC 复位) 后, 器件进入深度掉电模式 0 = $\overline{CS}$ 为高电平时, 完成上电复位或硬件复位 (包括 JEDEC 复位) 后, 器件进入待机模式
CR4[1]	RFU	保留 (0)			保留供将来使用
CR4[0]	RFU	保留 (0)			保留供将来使用

V - 易失性

4.2.3.1 输出阻抗 (OI) CR4 [7:5]

这三位控制 I/O 引脚的输出阻抗 (驱动强度)。用户可通过输出阻抗配置位调整驱动强度, 以便在印刷电路板上获得更好的信号完整性。

Table 26 阻抗选择

阻抗选择	典型阻抗 (Ω) ^[11]	备注
000	45	45 Ω 是出厂默认配置值。通过写入阻抗选择位 CR4[7:5] 可以编程其他驱动强度。
001	120	
010	90	
011	60	
100	45	
101	30	
110	20	
111		

4.2.3.2 POR 时的深度掉电模式 (DPDPOR) CR4 [2]

该位控制在上电复位 (POR)、硬件复位 ($\overline{RESET}$ 引脚或 JEDEC 复位) 完成后器件进入深度掉电 (DPD) 模式还是待机模式、或退出休眠模式。 $\overline{CS}$ 为高电平时, DPDPOR 配置位允许器件在 DPD 模式下启动, 而不是在待机模式下。经过 t_{EXTDPD} 的时间后, 通过 $\overline{CS}$ 脉宽 t_{CSDPD} 或硬件复位可以退出深度掉电模式。可以通过单独切换 $\overline{CS}$ (无需关注 SCK 和 I/O) 来生成 $\overline{CS}$ 脉冲宽度。在软件复位期间, DPDPOR 位的状态被忽略, 软件复位后器件始终进入待机模式。

注释

11. $V_{DD}/2$ 条件下测量得到的典型阻抗。

4.2.4 配置寄存器 5 (CR5)

Table 27 中所示的配置寄存器 5 (CR5) 配置寄存器读取延迟 (虚拟) 周期。对于写操作, 可通过 WRAR 指令访问 CR5。对于读操作, 则通过 RDCR5 或 RDAR 指令访问该寄存器。第 33 页上的 " 寄存器访问指令 " 中介绍了 CR5 访问的详细信息。

WRAR 非易失性写地址 — 0x000006

WRAR 易失性写地址 — 0x070006

RDAR 读取地址 — 0x000006 或 0x070006

Table 27 中每个位后面的默认状态是出厂编程值。

Table 27 配置寄存器 5 (CR5)

CR5[7]	CR5[6]	CR5[5]	CR5[4]	CR5[3]	CR5[2]	CR5[1]	CR5[0]
RLC1 (0)	RLC0 (0)	RFU (0)	RFU (0)	RFU (0)	RFU (0)	RFU (0)	RFU (0)

Table 28 配置寄存器 5 (CR5) — 非易失性

位	位名	位功能	類型	读 / 写	说明
CR5[7]	RLC1	寄存器延迟 代码	NV	R/W	选择寄存器读取延迟周期数 (0 到 3 个时钟周期), 用于寄存器访问
CR5[6]	RLC0			R/W	
CR5[5]	RFU	保留 (0)			保留供将来使用
CR5[4]	RFU	保留 (0)			保留供将来使用
CR5[3]	RFU	保留 (0)			保留供将来使用
CR5[2]	RFU	保留 (0)			保留供将来使用
CR5[1]	RFU	保留 (0)			保留供将来使用
CR5[0]	RFU	保留 (0)			保留供将来使用

NV — 非易失性

Table 29 配置寄存器 5 (CR5) — 易失性

位	位名	位功能	類型	读 / 写	说明
CR5[7]	RLC1	寄存器延迟 代码	V	R/W	选择寄存器读取延迟周期数 (0 到 3 个时钟周期), 用于寄存器访问
CR5[6]	RLC0			R/W	
CR5[5]	RFU	保留 (0)			保留供将来使用
CR5[4]	RFU	保留 (0)			保留供将来使用
CR5[3]	RFU	保留 (0)			保留供将来使用
CR5[2]	RFU	保留 (0)			保留供将来使用
CR5[1]	RFU	保留 (0)			保留供将来使用
CR5[0]	RFU	保留 (0)			保留供将来使用

V - 易失性

4.2.4.1 寄存器延迟代码 (RLC [1:0]) CR5 [7:6]

这两个位控制所有可变延迟寄存器读取指令中的读取延迟 (虚拟周期)。通过这些位，用户可以在正常操作期间调整读取延迟，从而优化不同工作频率下各种寄存器读取指令的延迟。[Table 30](#) 中显示了寄存器读取指令的延迟周期。

Table 30 寄存器读指令的虚拟周期

延迟 (虚拟周期)	SPI (SDR)	DPI (SDR)	QPI (SDR)
	RDSR1, RDSR2, RDCR1, RDCR2, RDCR4, RDCR5, RDAR, RUID, RDID2, RDSN		
0	50 MHz ^[12]	50 MHz ^[12]	50 MHz ^[12]
1–3	108 MHz	108 MHz	108 MHz

注释

12. 该参数由出厂校准保证，并非经过生产测试。

功能说明

5 功能说明

CY15x116QSN 采用一个 8 位指令寄存器。下面的 Table 32 列出了所有指令及其操作码。所有指令、地址和数据都在 $\overline{CS}$ 从高电平转为低电平时开始传输。此外，WP 和 RESET 引脚提供了额外的硬件控制功能。

5.1 指令结构

CY15x116QSN 指令周期最多包含五个不同的指令阶段，即是：操作码，地址，模式，虚拟（延迟）和数据。每个指令周期的指令阶段数取决于在操作码阶段发送的操作码。根据在 SPI, DPI 或 QPI 接口中传输的线路数量 1, 2 或 4 进行配置操作码、地址、模式和数据阶段。Table 31 显示了不同 SPI 接口中每个指令周期的指令阶段。

Table 31 不同 SPI 模式下 I/O 上的指令传输

指令阶段	各 I/O 上的指令传输						
	单通道 SPI	扩展型 SPI				多通道 SPI	
		双线数据	四线数据	双线 I/O	四线 I/O	DPI	QPI
操作码	SI	I/O0	I/O0	I/O0	I/O0	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3
地址	SI	I/O0	I/O0	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3
模式	SI	I/O0	I/O0	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3
虚拟 (延迟)	虚拟 SPI 时钟周期数为固定值，并非由 SPI 接口决定。 对于存储器访问，该值为 0 到 15 个时钟周期 (可通过 CR1[7:4] 进行配置) 对于寄存器访问，该值为 0 到 3 个时钟周期 (可通过 CR5[7:6] 进行配置)						
数据	SI/SO	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3

有 44 个称为操作码的指令，可由总线主设备发送到 CY15x116QSN，如 Table 32 中所示。这些操作码控制由存储器执行的功能。

Table 32 操作码指令

指令		SPI 总线接口							数据传输		延迟		XIP
指令	操作码 (十六进制)	SPI	双线数据	四线数据	双线 I/O	四线 I/O	DPI	QPI	SDR	DDR	寄存器延迟	存储器延迟	芯片内执行
写使能控制													
WREN	06	支持	不适用				支持	支持	支持	不适用	不适用	不适用	不适用
WRDI	04	支持	不适用				支持	支持	支持	不适用	不适用	不适用	不适用
寄存器访问													
WRSR	01	支持	不适用				支持	支持	支持	不适用	不适用	不适用	不适用
RDSR1	05	支持	不适用				支持	支持	支持	不适用	支持	不适用	不适用
RDSR2	07	支持	不适用				支持	支持	支持	不适用	支持	不适用	不适用
RDCR1	35	支持	不适用				支持	支持	支持	不适用	支持	不适用	不适用
RDCR2	3F	支持	不适用				支持	支持	支持	不适用	支持	不适用	不适用
RDCR4	45	支持	不适用				支持	支持	支持	不适用	支持	不适用	不适用
RDCR5	5E	支持	不适用				支持	支持	支持	不适用	支持	不适用	不适用
WRAR	71	支持	不适用				支持	支持	支持	不适用	不适用	不适用	不适用

功能说明

Table 32 操作码指令 (续)

指令		SPI 总线接口							数据传输		延迟		XIP
指令	操作码 (十六进制)	SPI	双线 数据	四线 数据	双线 I/O	四线 I/O	DPI	QPI	SDR	DDR	寄存器 延迟	存储器 延迟	芯片内 执行
RDAR	65	支持	不适用				支持	支持	支持	不适用	支持	不适用	不适用
存储器读取													
READ	03	支持	不适用				支持	支持	支持	不适用	不适用	支持	不适用
FAST_READ	0B	支持	不适用				支持	支持	支持	不适用	不适用	支持	支持
DOR	3B	不适用	支持	不适用					支持	不适用	不适用	支持	支持
DIOR	BB	不适用			支持	不适用			支持	不适用	不适用	支持	支持
QOR	6B	不适用		支持	不适用				支持	不适用	不适用	支持	支持
QIOR	EB	不适用				支持	不适用	支持	支持	不适用	不适用	支持	支持
DDRFR	0D	不适用						支持	不适用	支持	不适用	支持	支持
DDRQIOR	ED	不适用				支持	不适用	支持	不适用	支持	不适用	支持	支持
存储器写入操作													
WRITE	02	支持	不适用				支持	支持	支持	不适用	不适用	不适用	不适用
FAST_WRITE	DA	支持	不适用				支持	支持	支持	不适用	不适用	不适用	支持
DIW	A2	不适用	支持	不适用					支持	不适用	不适用	不适用	支持
DIOW	A1	不适用			支持	不适用			支持	不适用	不适用	不适用	支持
QIW	32	不适用		支持	不适用				支持	不适用	不适用	不适用	支持
QIOW	D2	不适用				支持	不适用		支持	不适用	不适用	不适用	支持
DDR_FAST_WRITE	DD	不适用						支持	不适用	支持	不适用	不适用	支持
DDRWRITE	DE	不适用						支持	不适用	支持	不适用	不适用	不适用
DDRQIOW	D1	不适用				支持	不适用		不适用	支持	不适用	不适用	支持
特殊扇区存储器访问													
SSWR	42	支持	不适用				支持	支持	支持	不适用	不适用	不适用	不适用
SSRD	4B	支持	不适用				支持	支持	支持	不适用	不适用	支持	不适用
ECC 和 CRC													
CLECC	1B	支持	不适用				支持	支持	支持	不适用	不适用	不适用	不适用
ECCRD	19	支持	不适用				支持	支持	支持	不适用	不适用	支持	不适用
CRCC	5B	支持	不适用				支持	支持	支持	不适用	不适用	不适用	不适用
EPCS	75	支持	不适用				支持	支持	支持	不适用	不适用	不适用	不适用
EPCR	7A	支持	不适用				支持	支持	支持	不适用	不适用	不适用	不适用
标识和序列号													
RUID	4C	支持	不适用				支持	支持	支持	不适用	支持	不适用	不适用
RDID	9F	支持	不适用				支持	支持	支持	不适用	支持	不适用	不适用
WRSN	C2	支持	不适用				支持	支持	支持	不适用	支持	不适用	不适用
RDSN	C3	支持	不适用				支持	支持	支持	不适用	支持	不适用	不适用

功能说明

Table 32 操作码指令 (续)

指令		SPI 总线接口							数据传输		延迟		XIP
指令	操作码 (十六进制)	SPI	双线 数据	四线 数据	双线 I/O	四线 I/O	DPI	QPI	SDR	DDR	寄存器 延迟	存储器 延迟	芯片内 执行
功耗模式和复位													
DPD	B9	支持		不适用			支持	支持	支持	不适用	不适用	不适用	不适用
HBN	BA	支持		不适用			支持	支持	支持	不适用	不适用	不适用	不适用
RSTEN	66	支持		不适用			支持	支持	支持	不适用	不适用	不适用	不适用
RST	99	支持		不适用			支持	支持	支持	不适用	不适用	不适用	不适用

5.1.1 写使能控制指令

这些指令设置或清除状态寄存器 1 中的写使能锁存位 (SR1[1])。

Table 33 写使能控制指令

指令	操作码 (十六进制)	指令说明
WREN	06	写入使能 — 将状态寄存器 1 的 WEL 位设置为 1
WRDI	04	写入禁用 — 将状态寄存器 1 的 WEL 位设置为 0

Table 34 写使能控制指令的详情

操作码 (十六进制)	地址 长度	SPI 总线接口							数据传输		XIP	延迟	最大时钟 频率
		SPI	双线 数据	四线 数据	双线 I/O	四线 I/O	DPI	QPI	SDR	DDR	芯片内 执行	虚拟周期	
06	0	支持		不适用			支持	支持	支持	不适用	不适用	不适用	108 MHz
04	0	支持		不适用			支持	支持	支持	不适用	不适用	不适用	108 MHz

5.1.1.1 设置写使能锁存 (WREN, 06h)

WREN 指令将状态寄存器 1 中的 WEL 位 (SR1[1]) 设置为 ‘1’。在发出任何写指令前, CY15x116QSN 要求 WEL 位被置 1。在执行之前, 要求将 WEL 设置为 “1” 的 CY15x116QSN 指令包括: WRSR, WRAR, WRITE, FAST_WRITE, DIW, DIOW, QIW, QIOW, DDR_FAST_WRITE, DDRWRITE, DDRQIOW, SSWR 和 WRSN。

指令字节的第 8 位在 SI 上被锁存后, 必须将 $\overline{CS}$ 信号驱动为逻辑高电平状态。8 位 WREN 操作码被成功锁存, 接着 $\overline{CS}$ 被驱动为高电平后, CY15x116QSN 将执行 WREN 指令并将 WEL 位 (SR1 [1]) 置 1。

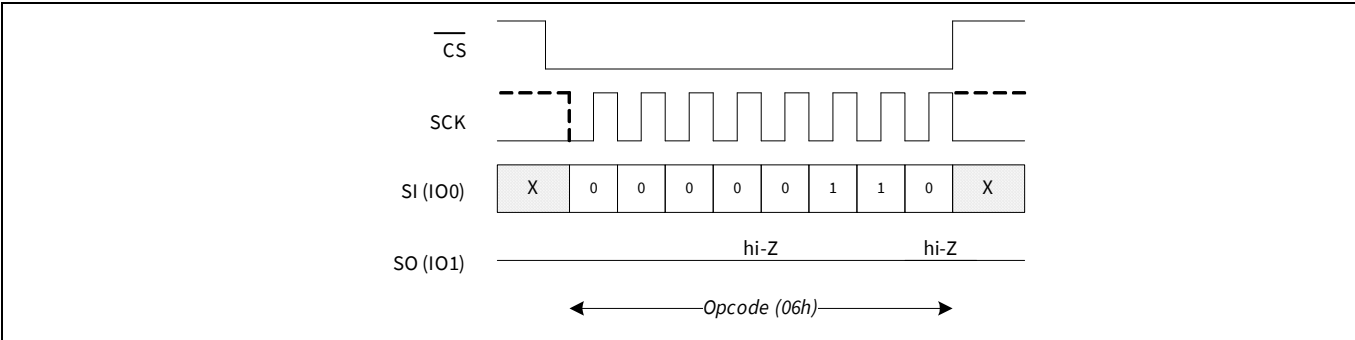


Figure 6 SPI 模式下的 WREN 总线配置

功能说明

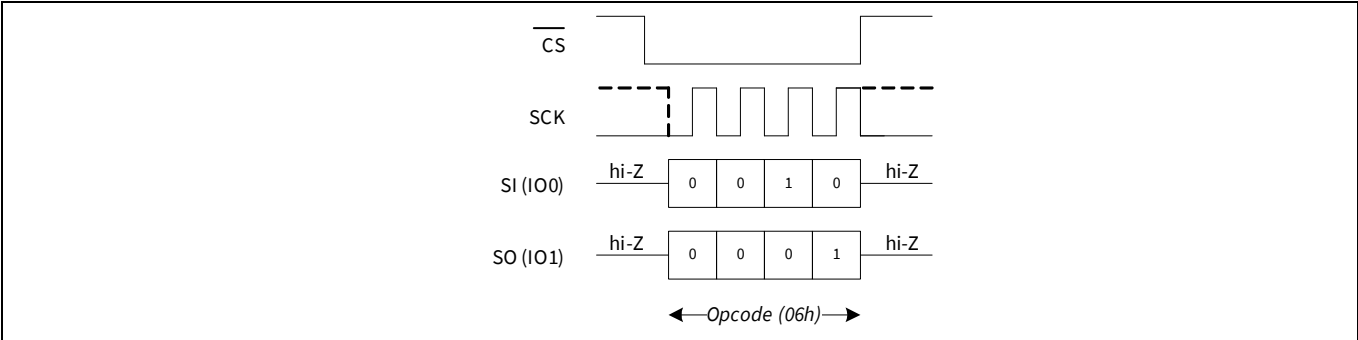


Figure 7 DPI 模式下的 WREN 总线配置

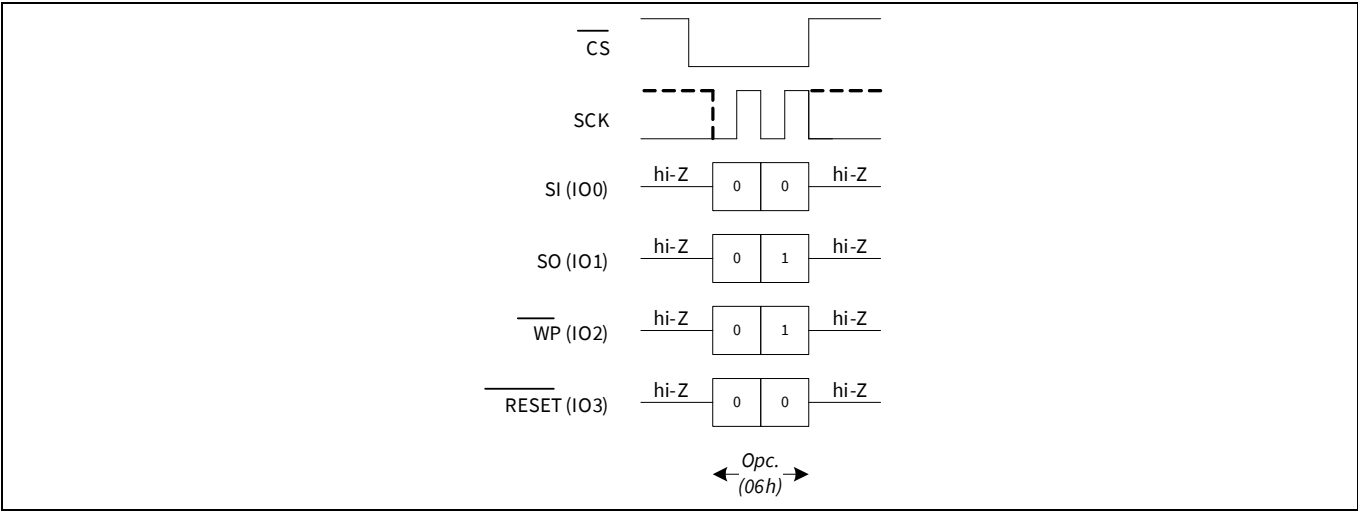


Figure 8 QPI 模式下的 WREN 总线配置

功能说明

5.1.1.2 复位写使能锁存 (WRDI, 04h)

WRDI 指令将状态寄存器 1 中的写使能锁存 (WEL) 位 (SR1[1]) 清零。这样，在执行之前，要求 WEL 被设置为 1 的写入状态寄存器 (WRSR)，写入任何寄存器 (WRAR)，特殊扇区写入 (SSWR) 以及其他指令都被禁用。WRDI 指令可用于保护存储器和 SPI 寄存器，避免对它们进行意外写入。WIP 位 = 1 时，WRDI 指令在执行嵌入式操作期间被忽略。

指令字节的第 8 位在 SI 上被锁存后，必须将 $\overline{\text{CS}}$ 信号驱动为逻辑高电平状态。8 位 WRDI 操作码被成功锁存，接着 $\overline{\text{CS}}$ 被驱动为高电平后，CY15x116QSN 将执行 WRDI 指令并将 WEL 位 (SR1 [1]) 清零。

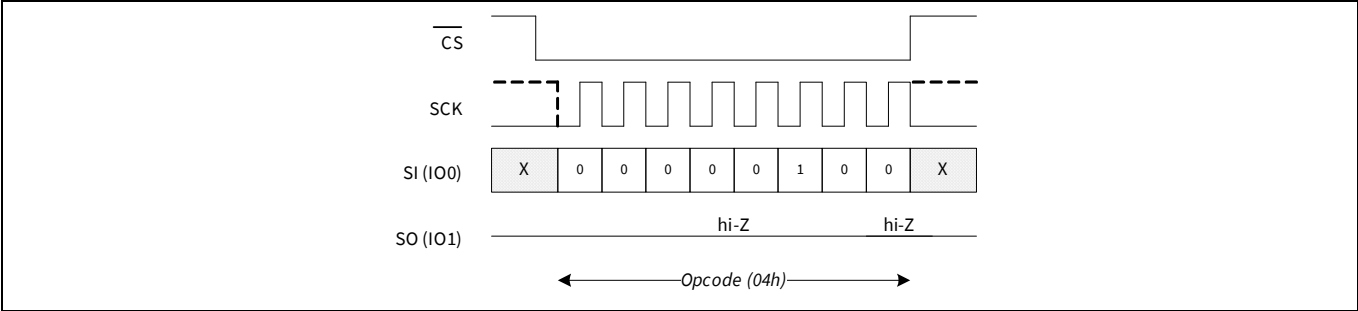


Figure 9 SPI 模式下的 WRDI 总线配置

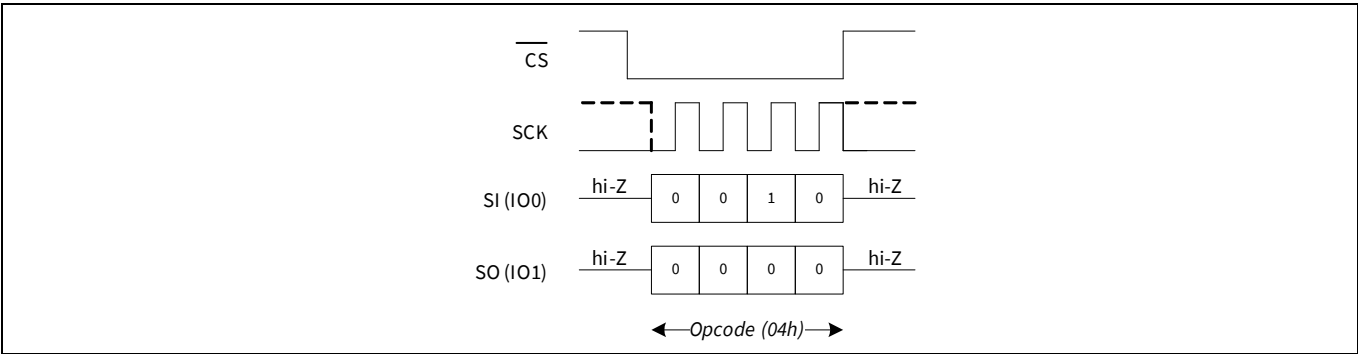


Figure 10 DPI 模式下的 WRDI 总线配置

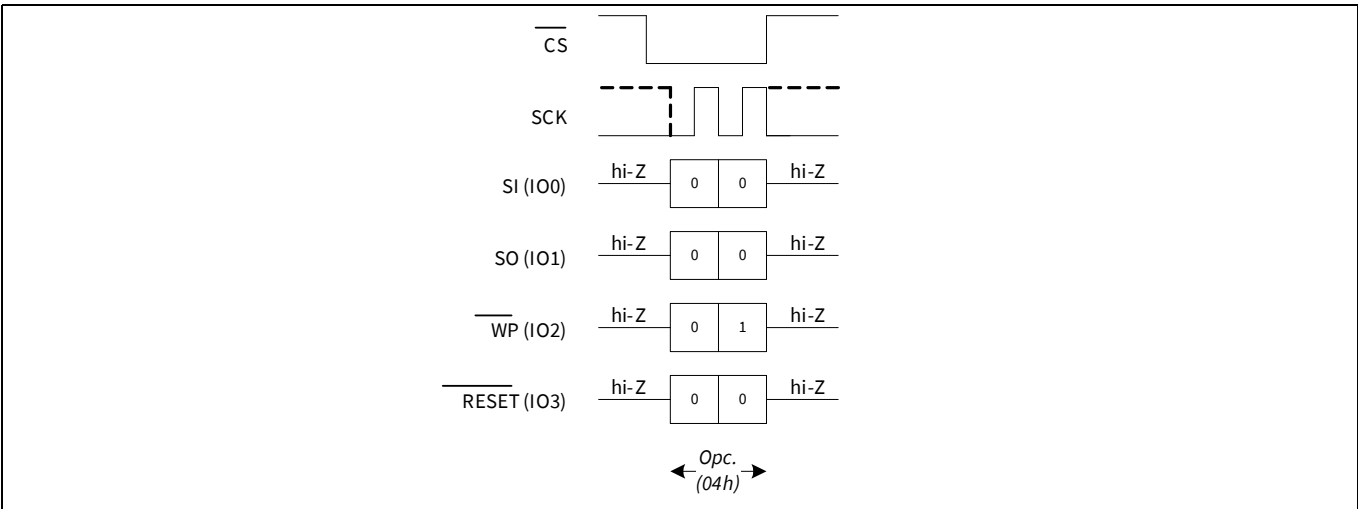


Figure 11 QPI 模式下的 WRDI 总线配置

功能说明

5.1.2 寄存器访问指令

CY15x116QSN 提供各种配置和状态寄存器。它们都是用户可写寄存器，通过编程它们可以使能或禁用器件中的某些配置/功能，也可以通过轮询它们来了解器件的状态。这些寄存器由称为操作码的特定指令访问。

单个寄存器位可以是多种类型之一：写 / 读、只读或保留供将来使用 (RFU)。在其各自的寄存器部分中指定每个位的具体类型。寄存器位可以是易失性的或非易失性的。所有易失性 (V) 位在上电复位 (POR) 或任何复位事件 (通过硬件或软件复位) 后都被设置为默认值；而所有非易失性 (NV) 位在上电复位 (POR) 或任何复位事件 (通过硬件或软件复位) 后都恢复到用户配置值。

Table 35 寄存器访问指令

指令	操作码 (十六进制)	指令说明
WRSR	01	写入状态寄存器 1
RDSR1	05	读取状态寄存器 1
RDSR2	07	读取状态寄存器 2
RDCR1	35	读取配置寄存器 1
RDCR2	3F	读取配置寄存器 2
RDCR4	45	读取配置寄存器 4
RDCR5	5E	读取配置寄存器 5
WRAR	71	写入任何寄存器 — 包括状态寄存器，配置寄存器和序列号寄存器
RDAR	65	读取任何寄存器 — 包括状态寄存器，配置寄存器，CRC 寄存器，ECC 寄存器，序列号寄存器和 ID 寄存器

Table 36 寄存器访问指令详情

操作码 (十六进制)	地址长度	SPI 总线接口							数据传输		寄存器延迟	最大时钟频率	寄存器延迟
		SPI	双线数据	四线数据	双线 I/O	四线 I/O	DPI	QPI	SDR	DDR	虚拟周期		
01	0	支持	不适用				支持	支持	支持	不适用	不适用	108 MHz	不适用
05	0	支持	不适用				支持	支持	支持	不适用	支持	108 MHz	支持
07	0	支持	不适用				支持	支持	支持	不适用	支持	108 MHz	支持
35	0	支持	不适用				支持	支持	支持	不适用	支持	108 MHz	支持
3F	0	支持	不适用				支持	支持	支持	不适用	支持	108 MHz	支持
45	0	支持	不适用				支持	支持	支持	不适用	支持	108 MHz	支持
5E	0	支持	不适用				支持	支持	支持	不适用	支持	108 MHz	支持
71	三个字节	支持	不适用				支持	支持	支持	不适用	不适用	108 MHz	不适用
65	三个字节	支持	不适用				支持	支持	支持	不适用	支持	108 MHz	支持

写入状态寄存器 (WRSR, 01h)

通过写入状态寄存器 (WRSR) 指令，可以在状态寄存器 1 (SR1) 中编程新值。该指令对非易失性 SR1 进行写操作，因此它在电源周期内保持有效状态。SR1 寄存器中的 SRWD 位 (SR1[7]) 设置为“1”，并且通过低电平状态激活 WP 引脚时，WRSR 指令被忽略。

注意

- 仅在 SR1 中的 WEL 位被置“1”时，才能执行 WRSR 指令。否则，WRSR 指令被忽略。
- 终止 WRSR 指令后 (在 $\overline{CS}$ 的上升沿上)，状态寄存器 1 中的 WEL 位 (SR1[1]) 自动被清零。

功能说明

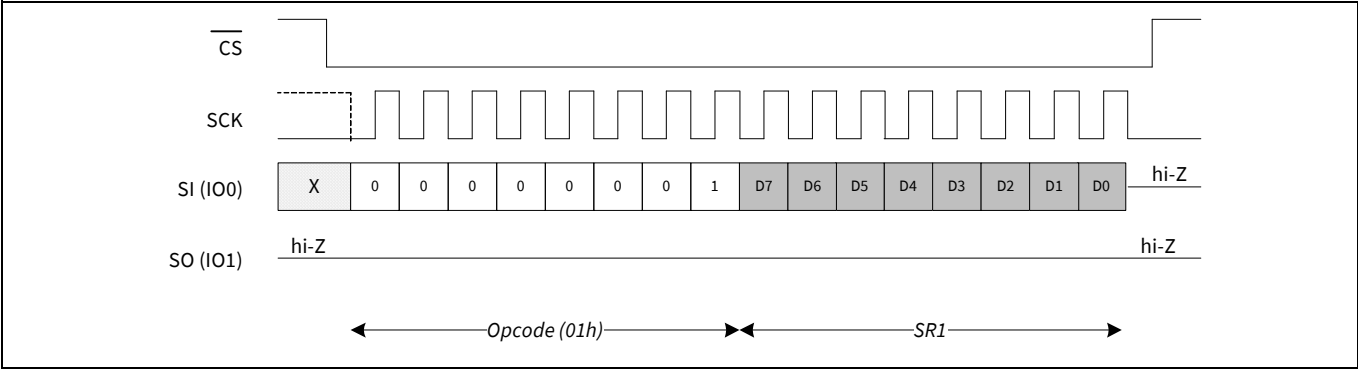


Figure 12 SPI 模式下的 WRSR (不显示 WREN)

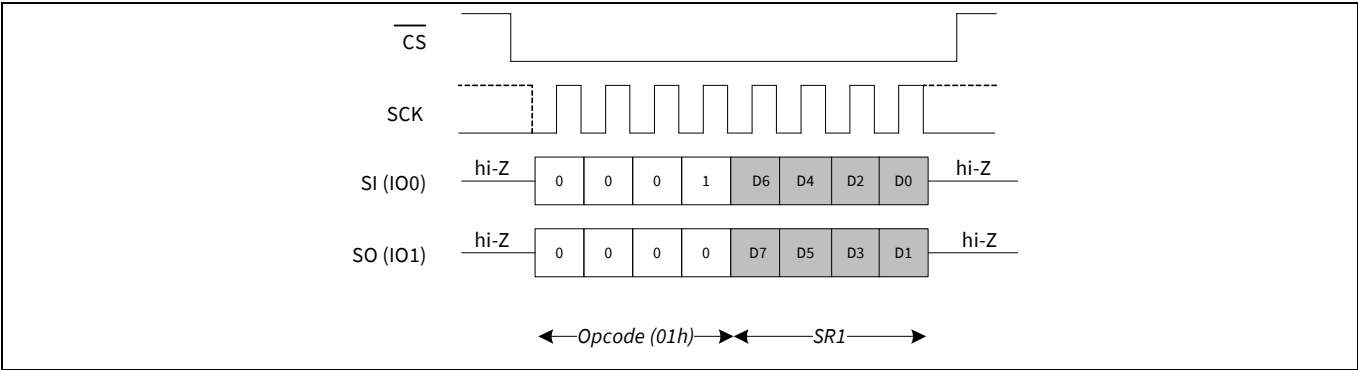


Figure 13 DPI 模式下的 WRSR (不显示 WREN)

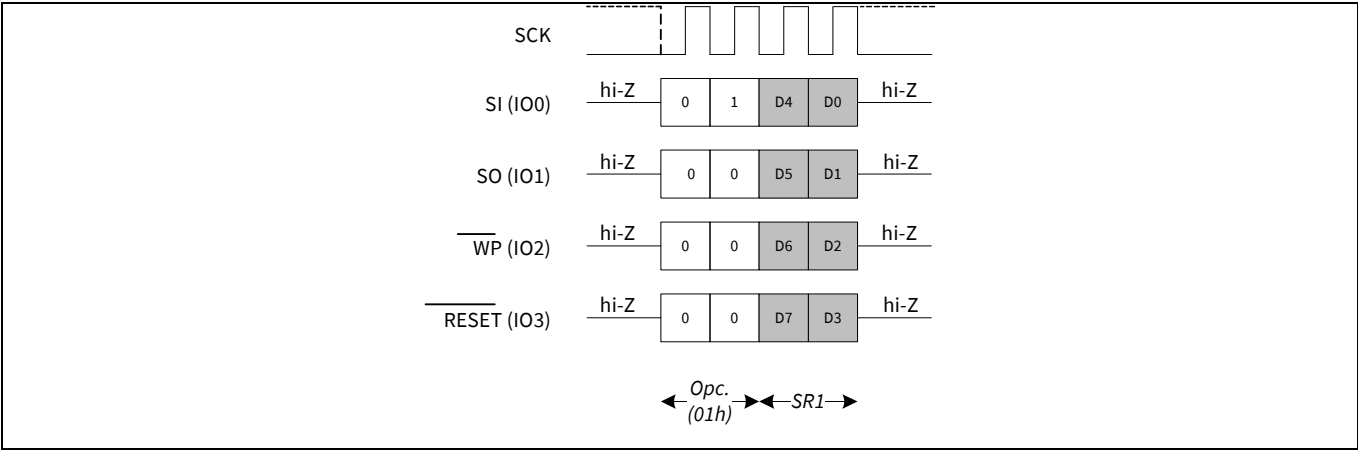


Figure 14 QPI 模式下的 WRSR (不显示 WREN)

功能说明

5.1.2.1 读取状态寄存器 1 (RDSR1, 05h)

通过使用 RDSR1 指令，总线主设备可以验证状态寄存器 1 (SR1) 中的内容。读取 SR1 后可以了解写保护特性的当前状态，WEL 和 WIP 的状态。执行 RDSR1 操作码后，CY15x116QSN 将返回一个字节的 SR1 内容。

注意

- RDSR1 返回 SR1 的易失性内容。
- 所示的虚拟周期是通过 CR5 中寄存器延迟代码位 (RLC0, RLC1) 配置的选项。

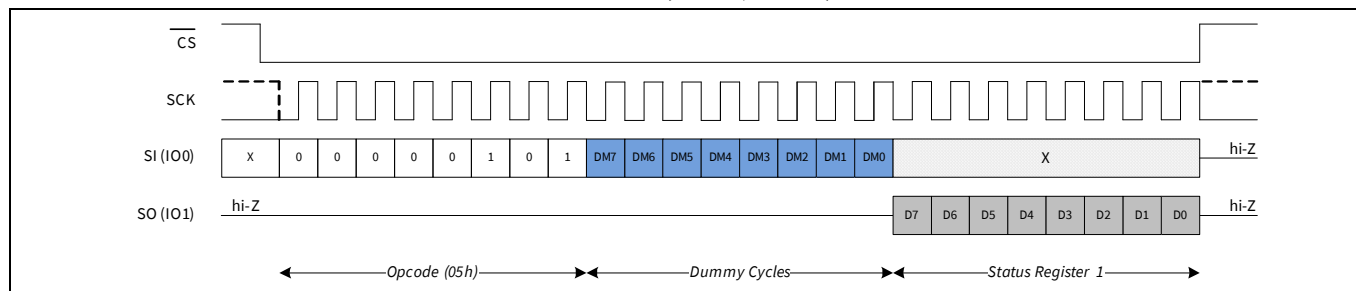


Figure 15 SPI 模式下的读取 SR1 (RDSR1)

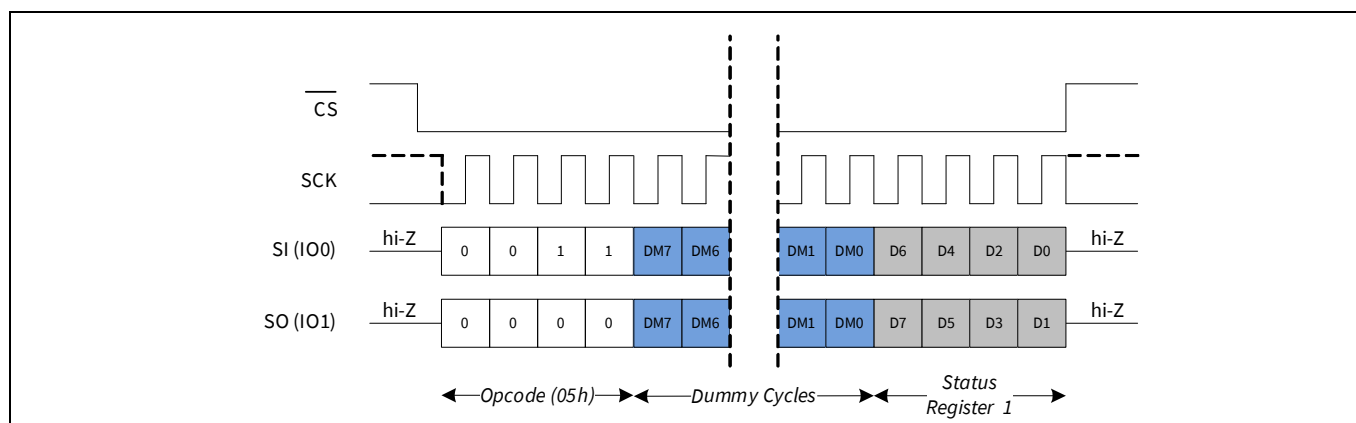


Figure 16 DPI 模式下的读取 SR1 (RDSR1)

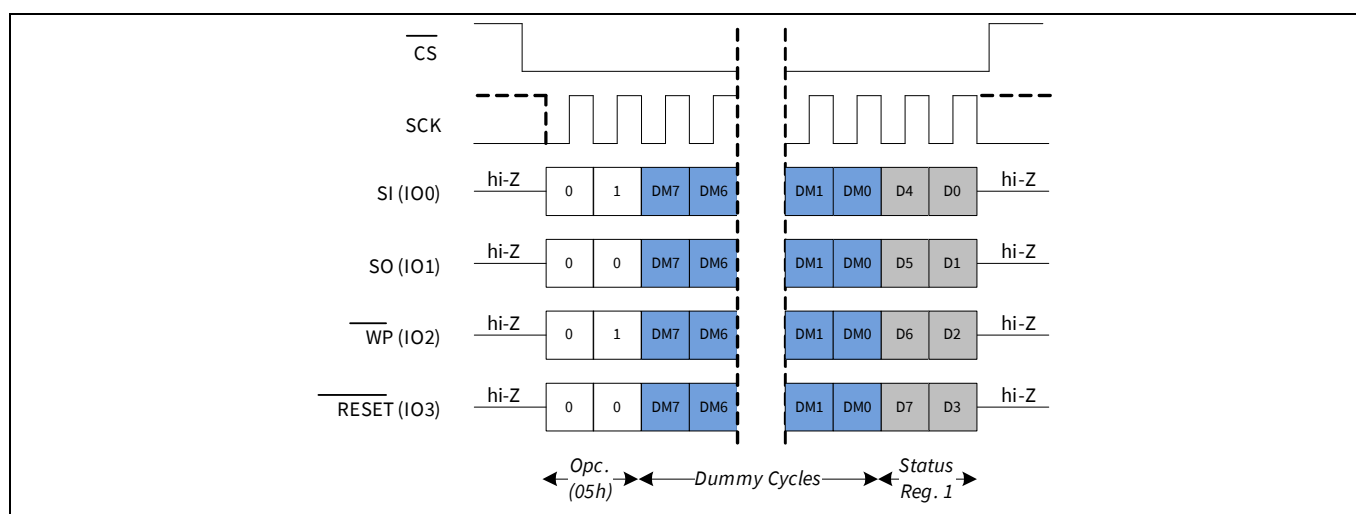


Figure 17 QPI 模式下的读取 SR1 (RDSR1)

功能说明

5.1.2.2 读取状态寄存器 2 (RDSR2, 07h)

通过使用 RDSR2 指令，总线主设备可以验证状态寄存器 2 (SR2) 中的内容。这是一个只读寄存器，它提供有关 CRC 挂起和 CRC 中止状态的信息。只有 SR1 的 WIP 位为“0”时，SR2 位才能指示正确的状态 (CRCS 和 CRCA)。WIP 为“1”时读取 SR2 将返回未确定的状态。

注意：

- RDSR2 返回 SR2 的易失性内容。
- 所示的虚拟周期是通过 CR5 中寄存器延迟代码位 (RLC0, RLC1) 配置的选项。

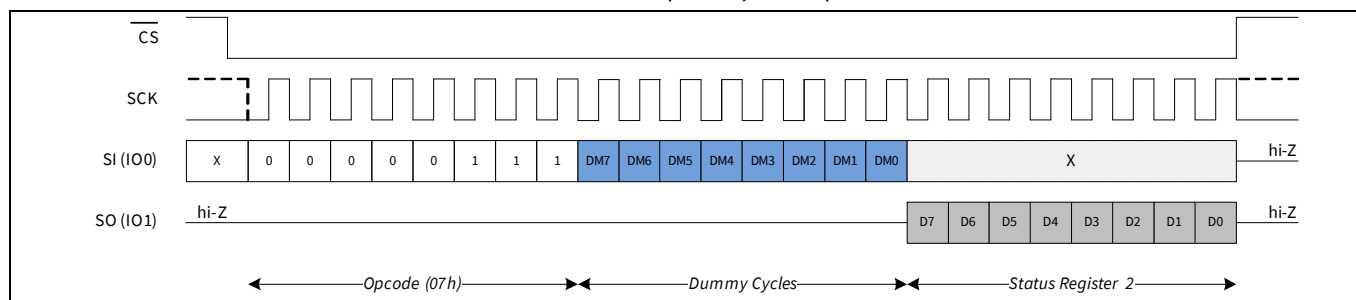


Figure 18 SPI 模式下的读取 SR2 (RDSR2)

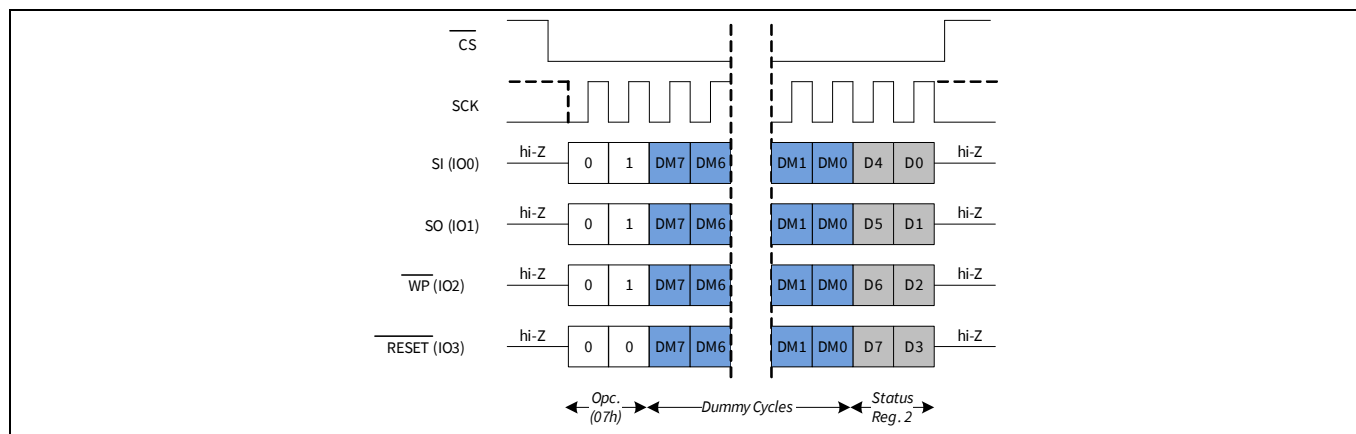


Figure 19 DPI 模式下的读取 SR2 (RDSR2)

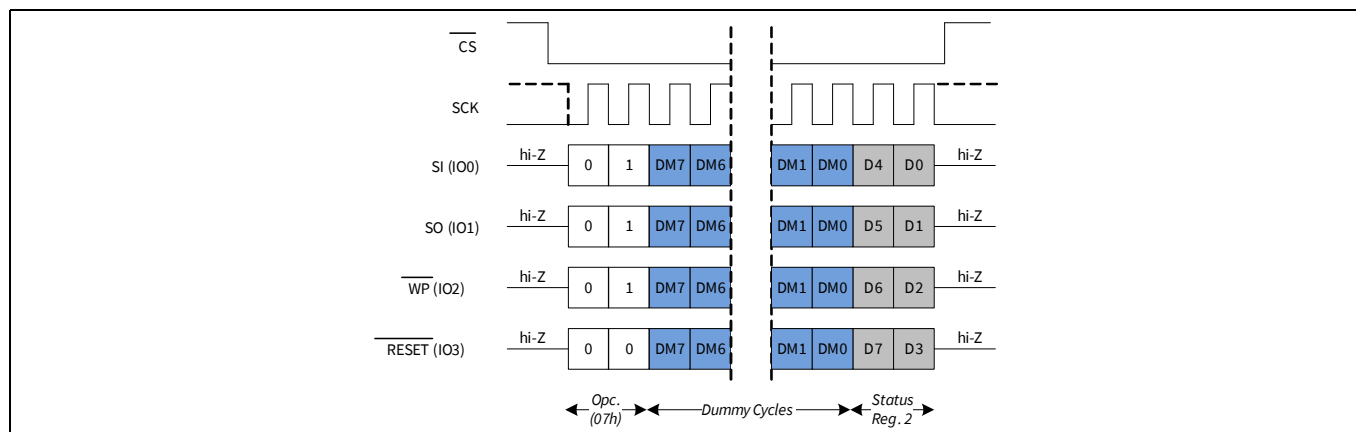


Figure 20 QPI 模式下的读取 SR2 (RDSR2)

功能说明

5.1.2.3 读取配置寄存器 1 (RDCR1, 35h)

通过使用 RDCR1 指令，总线主设备可以验证配置寄存器 1 (CR1) 中的内容。通过读取 CR1，可以了解有关存储器延迟代码的当前状态和 QUAD 位的状态等信息。执行 RDCR1 操作码后，CY15x116QSN 将返回一个字节的 CR1 内容。

注意

- RDCR1 返回 CR1 的易失性内容。
- 所示的虚拟周期是通过 CR5 中寄存器延迟代码位 (RLC0, RLC1) 配置的选项。

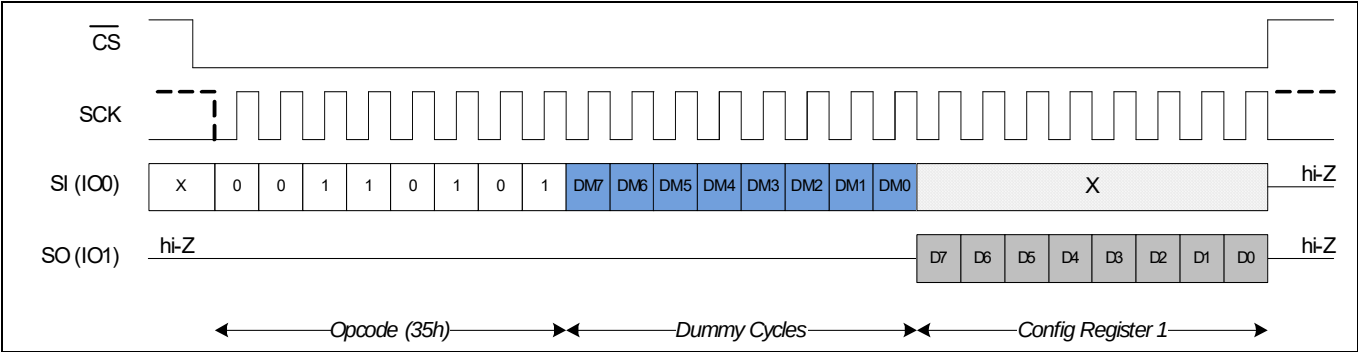


Figure 21 SPI 模式下的读取 CR1 (RDCR1)

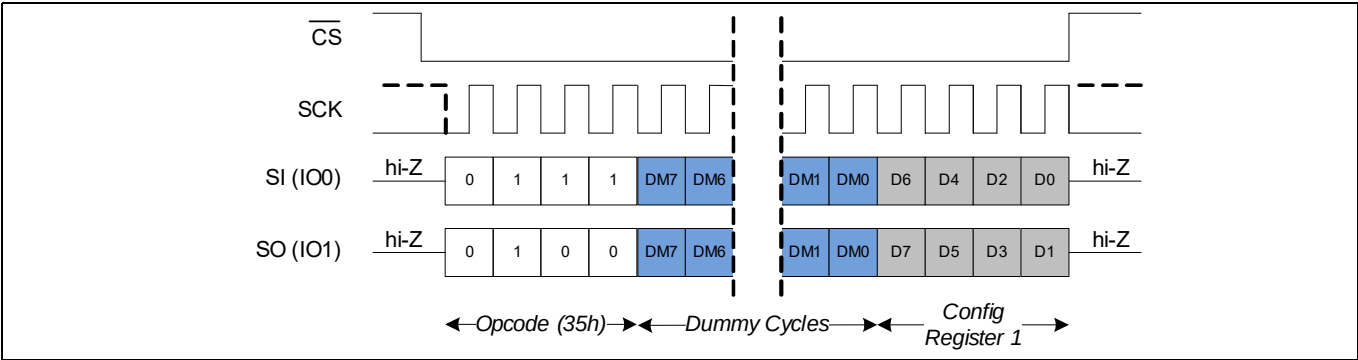


Figure 22 DPI 模式下的读取 CR1 (RDCR1)

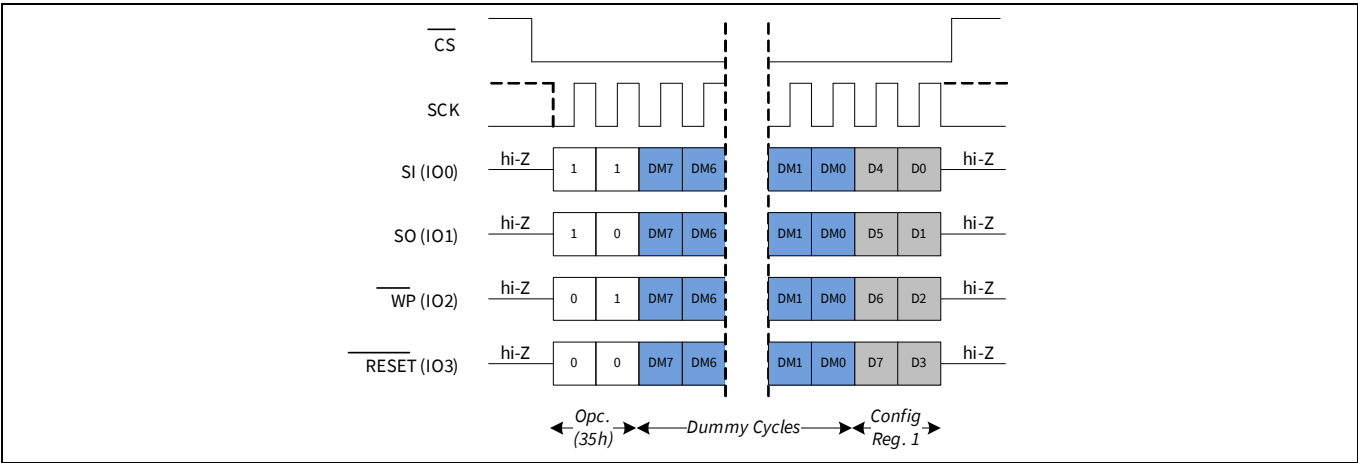


Figure 23 QPI 模式下的读取 CR1 (RDCR1)

功能说明

5.1.2.4 读取配置寄存器 2 (RDCR2, 3Fh)

通过使用 RDCR2 指令，总线主设备可以验证配置寄存器 2 (CR2) 中的内容。通过读取 CR2，可以了解当前 SPI 接口的选项 (SPI, DPI, QPI) 和 RESET/(I/O3) 的状态。执行 RDCR2 操作码后，CY15x116QSN 将返回一个字节的 CR2 内容。

注意

- RDCR2 返回 CR2 的易失性内容。
- 所示的虚拟周期是通过 CR5 中寄存器延迟代码位 (RLC0, RLC1) 配置的选项。

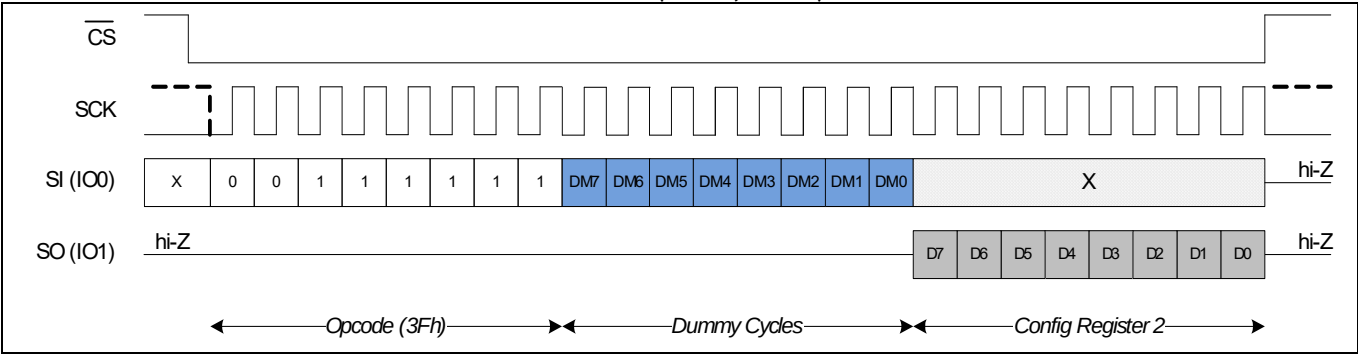


Figure 24 SPI 模式下的读取 CR2 (RDCR2)

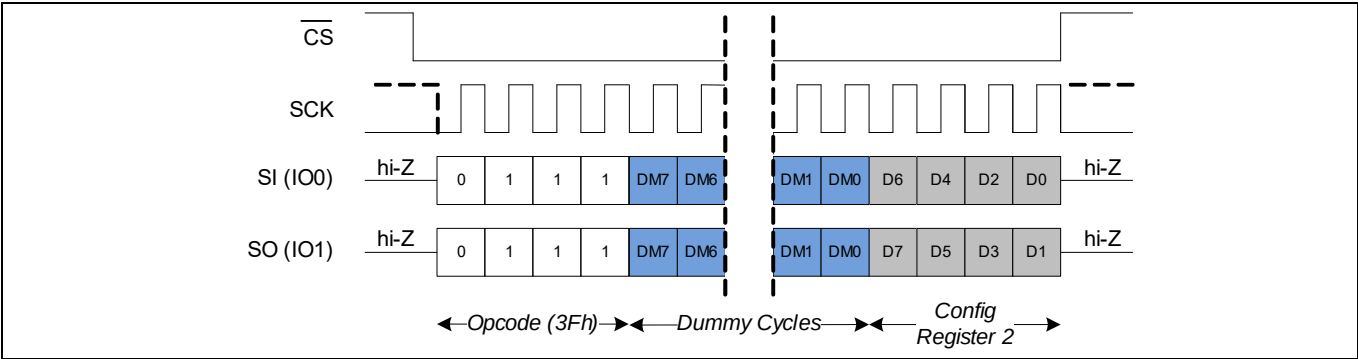


Figure 25 DPI 模式下的读取 CR2 (RDCR2)

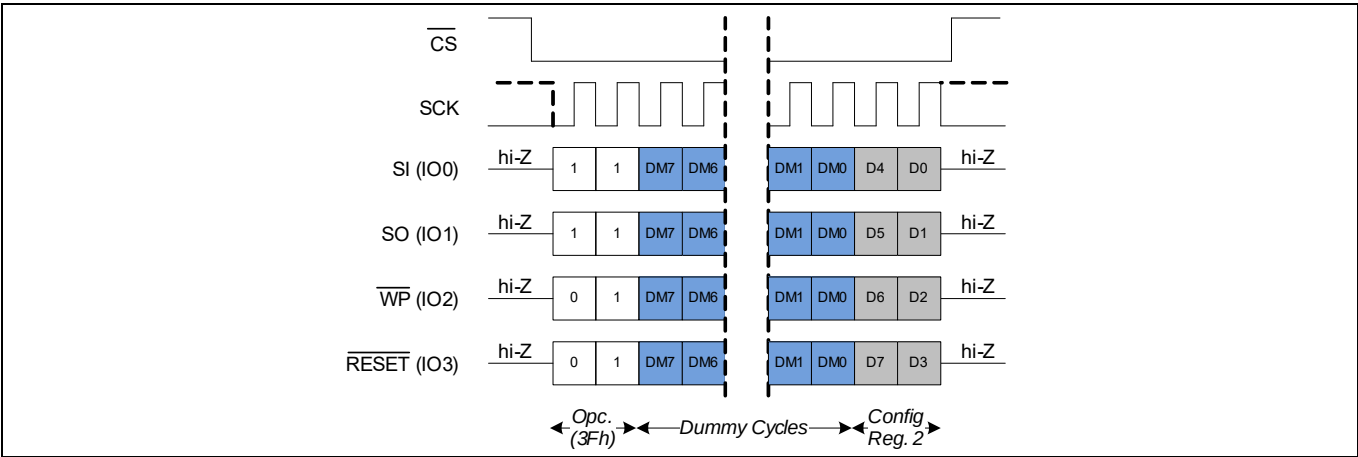


Figure 26 QPI 模式下的读取 CR2 (RDCR2)

功能说明

5.1.2.5 读取配置寄存器 4 (RDCR4, 45h)

通过使用 RDCR4 指令，总线主设备可以验证配置寄存器 4(CR4) 中的内容。通过读取 CR4，可以了解输出阻抗的设置和 POR 后的器件电源模式 (深度掉电或待机)。执行 RDCR4 操作码后，CY15x116QSN 将返回一个字节的 CR4 内容。

注意

- RDCR4 返回 CR4 的易失性内容。
- 所示的虚拟周期是通过 CR5 中寄存器延迟代码位 (RLC0, RLC1) 配置的选项。

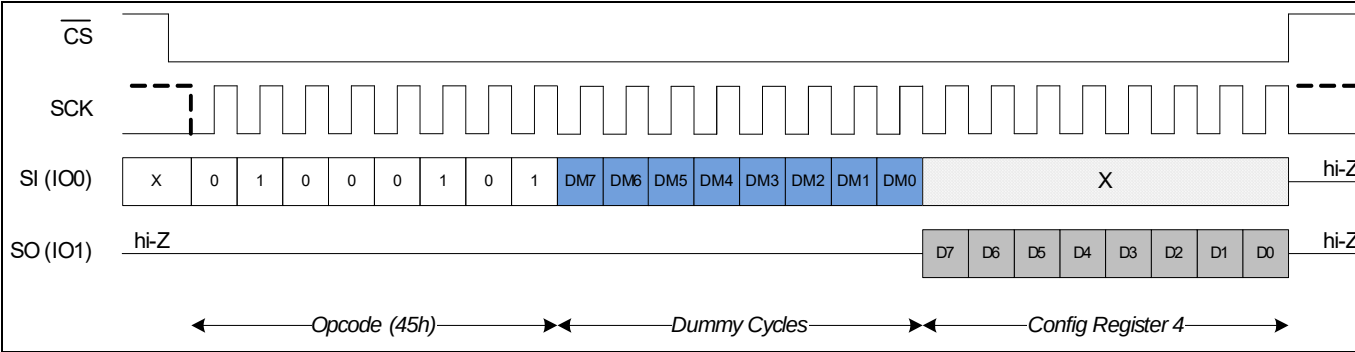


Figure 27 SPI 模式下的读取 CR4 (RDCR4)

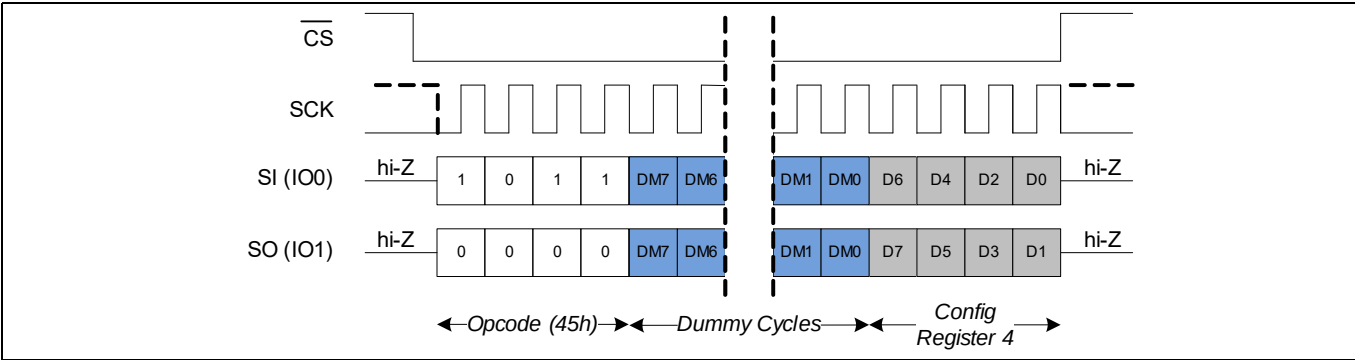


Figure 28 DPI 模式下的读取 CR4 (RDCR4)

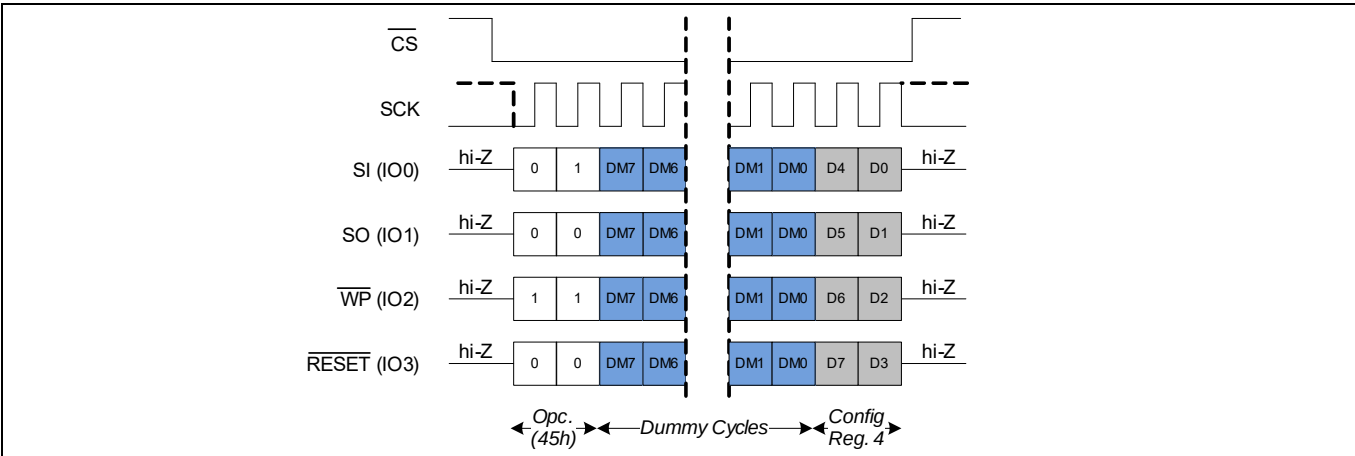


Figure 29 QPI 模式下的读取 CR4 (RDCR4)

功能说明

5.1.2.6 读取配置寄存器 5 (RDCR5, 5Eh)

通过使用 RDCR5 指令，总线主设备可以验证配置寄存器 5 (CR5) 中的内容。通过读取 CR5，可以了解寄存器读取延迟周期 (RLC0, RLC1) 的设置。执行 RDCR5 操作码后，CY15x116QSN 将返回一个字节的 CR5 内容。

注意：

- RDCR5 返回 CR5 的易失性内容。
- 所示的虚拟周期是通过 CR5 中寄存器延迟代码位 (RLC0, RLC1) 配置的选项。

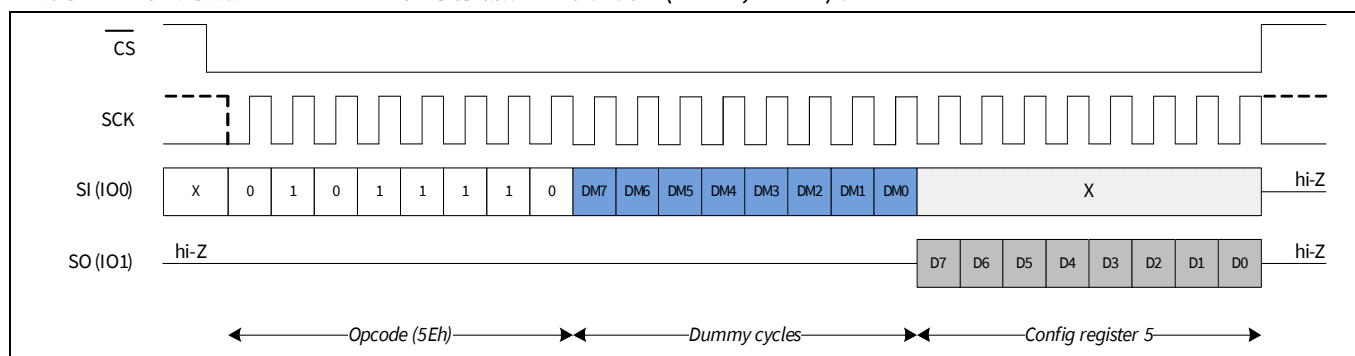


Figure 30 SPI 模式下的读取 CR5 (RDCR5)

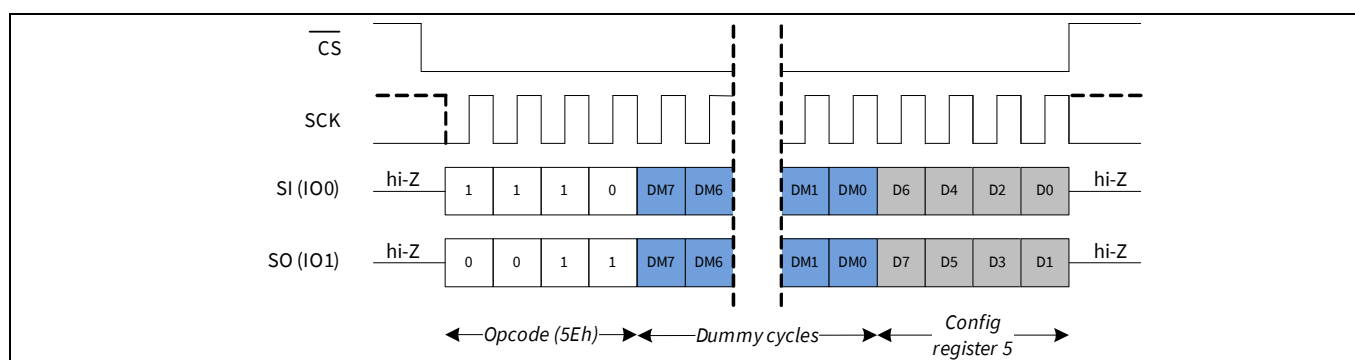


Figure 31 DPI 模式下的读取 CR5 (RDCR5)

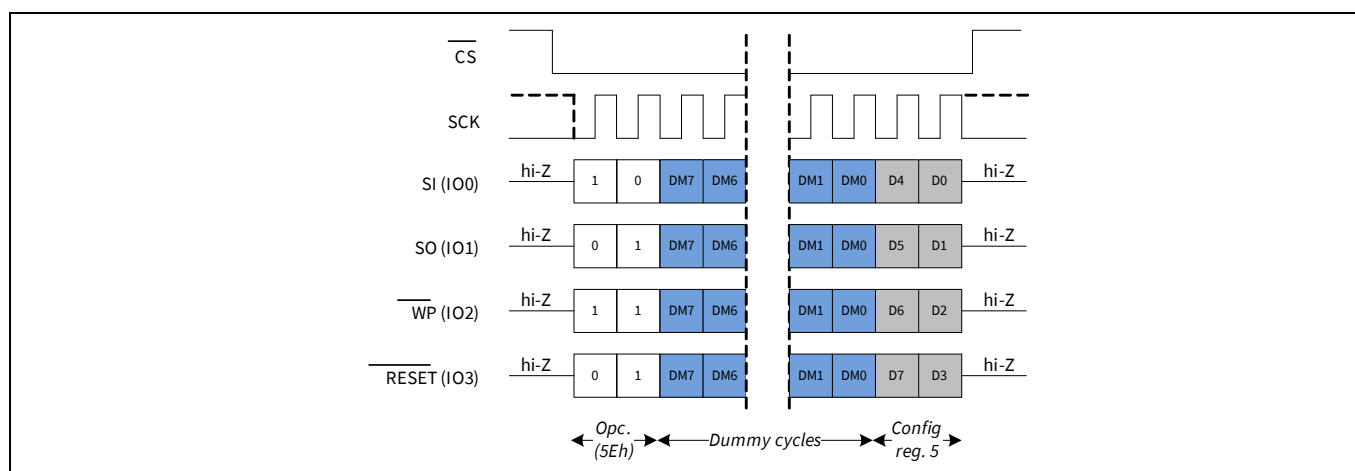


Figure 32 QPI 模式下的读取 CR5 (RDCR5)

功能说明

5.1.2.7 写入任何寄存器 (WRAR, 71h)

通过 WRAR 指令，可以对各个 CY15x116QSN 寄存器进行写操作，每次只能写入一个寄存器，并通过其各自 3 字节地址进行寻址。WRAR 操作码后面是该寄存器的 3 字节地址，如 Table 38 中所示，然后是要写入的 1 字节寄存器数据。执行 WRAR 之前，WREN 指令先将 WEL 位置 ‘1’。WRAR 指令终止后（即在 CS 的上升沿上），WEL 位将被自动清除为 ‘1’。SR1 寄存器中的 SRWD 位 (SR1[7]) 设置为 ‘1’，且 WP 引脚被驱动为低电平时，WRAR 指令将被忽略。

注意

- 每次发送 WRAR 指令，只能在已给的寄存器地址内写入一个字节。WRAR 指令的格式如 Table 37 中所示。
- 执行 WRAR 操作码后在 3 字节地址字段中发送的寄存器地址确定了新配置仅被编程到易失性状态 / 配置寄存器中，还是被编程到易失性和非易失性状态 / 配置寄存器中。Table 38 显示了易失性和非易失性寄存器的寄存器地址。

Table 37 存储器的通用写指令

指令名称	指令说明	操作码	地址字节	数据字节
WRAR	写入任何寄存器	71h	3	1

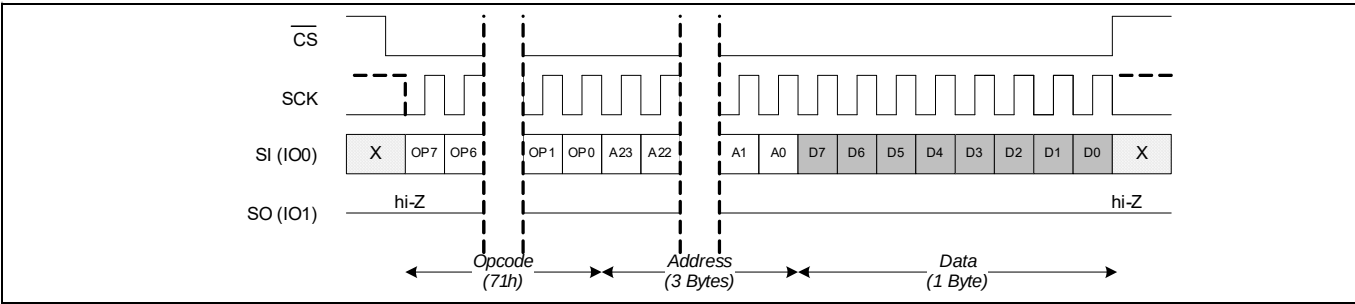


Figure 33 SPI 模式下的写入任何寄存器 (WRAR)

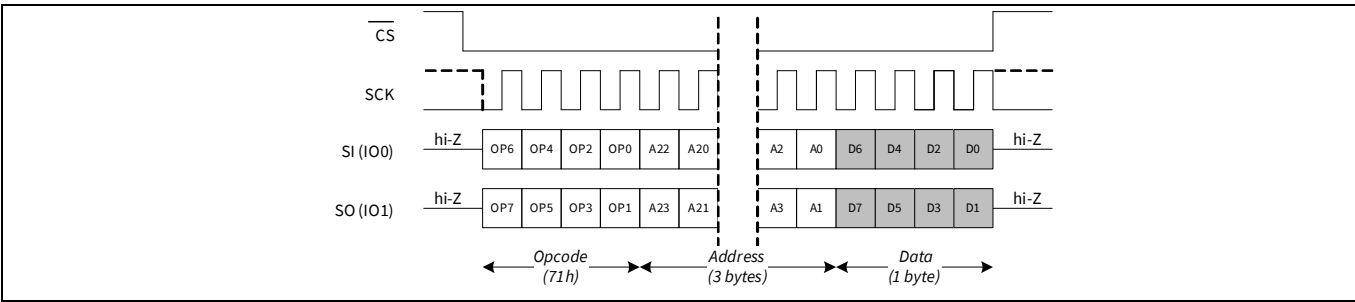


Figure 34 DPI 模式下的写入任何寄存器 (WRAR)

功能说明

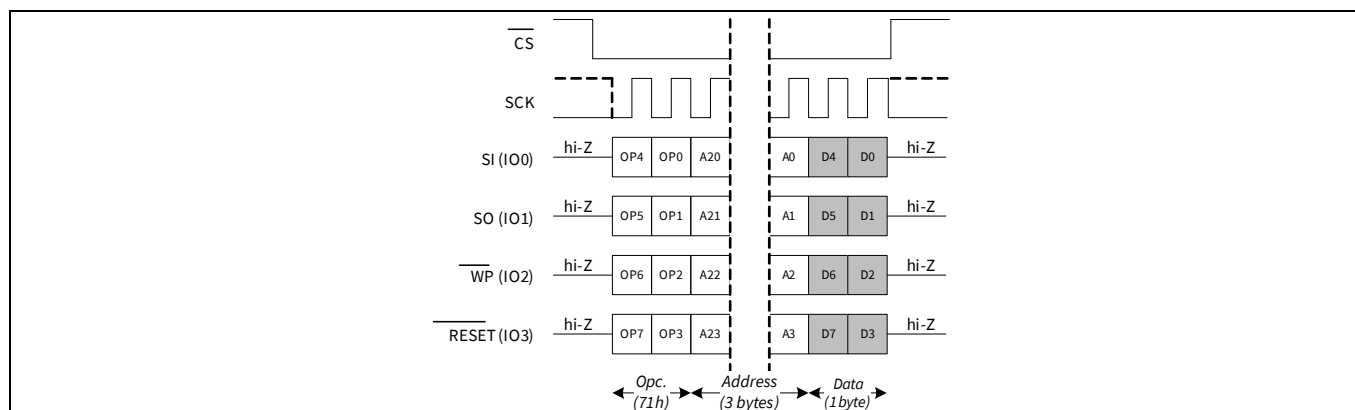


Figure 35 QPI 模式下的写入任何寄存器 (WRAR)

Table 38 通用存储器访问的存储器地址

功能	寄存器类型	寄存器内容 ^[14]	WRAR	RDAR ^[14]	寄存器地址 ^[13]	
					易失性	非易失性
器件状态	状态寄存器 1	易失性和非易失性	支持	支持	0x070000	0x000000
	状态寄存器 2	仅限易失性	不适用	支持	0x070001 或 0x000001	
器件配置	配置寄存器 1	易失性和非易失性	支持	支持	0x070002	0x000002
	配置寄存器 2	易失性和非易失性	支持	支持	0x070003	0x000003
	配置寄存器 4	易失性和非易失性	支持	支持	0x070005	0x000005
	配置寄存器 5	易失性和非易失性	支持	支持	0x070006	0x000006
错误修正	ECC 状态寄存器	仅限易失性	不适用	支持	0x070089 或 0x000089	
	ECC 计数寄存器 [7:0]	仅限易失性	不适用	支持	0x07008A 或 0x00008A	
	ECC 计数寄存器 [15:8]	仅限易失性	不适用	支持	0x07008B 或 0x00008B	
	ECC 地址陷阱寄存器 [7:0]	仅限易失性	不适用	支持	0x07008E 或 0x00008E	
	ECC 地址陷阱寄存器 [15:8]	仅限易失性	不适用	支持	0x07008F 或 0x00008F	
	ECC 地址陷阱寄存器 [23:16]	仅限易失性	不适用	支持	0x070040 或 0x000040	
	ECC 地址陷阱寄存器 [31:24]	仅限易失性	不适用	支持	0x070041 或 0x000041	
循环冗余校验	CRC 寄存器 [7:0]	仅限易失性	不适用	支持	0x070095 或 0x000095	
	CRC 寄存器 [15:8]	仅限易失性	不适用	支持	0x070096 或 0x000096	
	CRC 寄存器 [23:16]	仅限易失性	不适用	支持	0x070097 或 0x000097	
	CRC 寄存器 [31:24]	仅限易失性	不适用	支持	0x070098 或 0x000098	

功能说明

5.1.2.8 读取任何寄存器 (RDAR, 65h)

通过 RDAR 指令, 可以对各个 CY15x116QSN 寄存器进行读取操作, 每次只能读取一个寄存器, 并通过其各自 3 字节地址进行寻址。RDAR 操作码后面是该寄存器的 3 字节地址和虚拟周期 (取决于 CR5 中设置的寄存器延迟), 然后 CY15x116QSN 在其输出总线上返回一字节寄存器内容。收到一个寄存器字节后, 主机通过将 $\overline{CS}$ 上拉为高电平来终止 RDAR 指令。收到第一个数据字节后保持 $\overline{CS}$ 为低电平会返回未定义的数据字节。RDAR 指令的时序图如 Figure 36 至 Figure 38 中所示。

注意:

- 由于读取状态寄存器和配置寄存器始终返回其易失性空间的寄存器内容, 因此 WRAR 操作码后面的 3 字节地址可以是易失性寄存器或其相关非易失性寄存器的寄存器地址。

Table 38 显示了易失性和非易失性寄存器的寄存器地址。

- 所示的虚拟周期是通过 CR5 中寄存器延迟代码位 (RLC0, RLC1) 配置的选项。

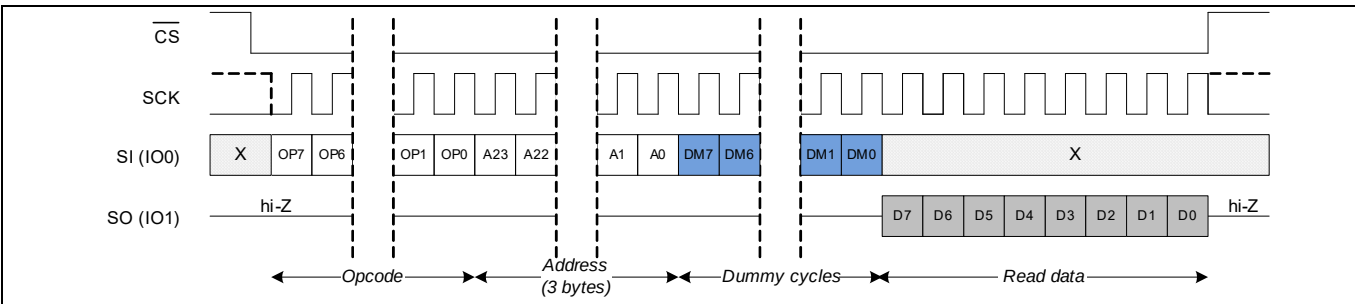


Figure 36 SPI 模式下的读取任何寄存器 (RDAR)

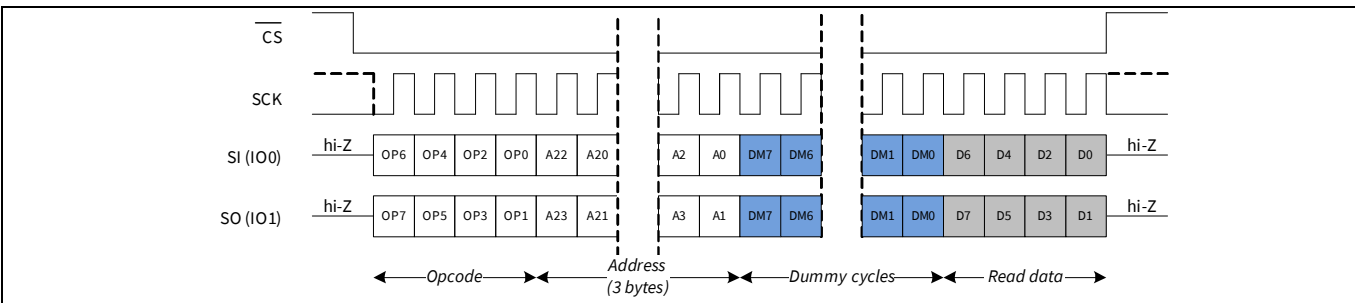


Figure 37 DPI 模式下的读取任何寄存器 (RDAR)

注释

13. 发生 POR 或硬件复位后, 易失性寄存器将返回其默认状态。有关 POR 或任何复位事件后的易失性寄存器状态, 请查阅 Table 59。
14. RDAR 指令始终返回易失性寄存器的内容。因此, 不管在易失性寄存器地址还是在非易失性寄存器地址之后发送 RDAR 指令, 它都返回相同的值 (仅限来自相应的易失性寄存器)。仅限易失性寄存器没有相关的非易失性寄存器。

功能说明

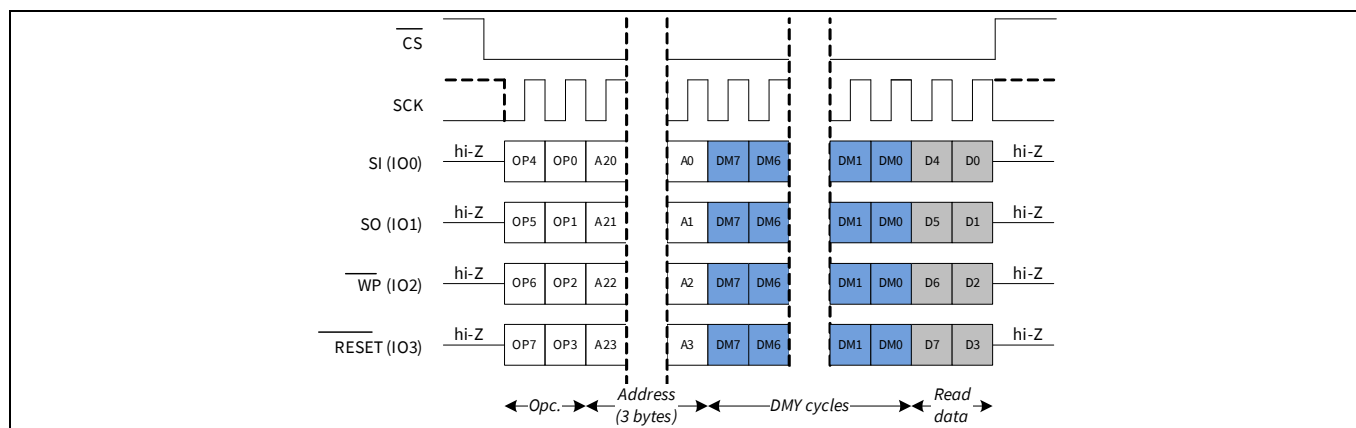


Figure 38 QPI 模式下的读取任何寄存器 (RDAR)

5.1.3 存储器操作

可接受高时钟频率的 SPI 接口突出了 F-RAM 技术的快速写入功能。与串行闪存不同的是，CY15x116QSN 能以总线速度执行连续写操作。无需任何页寄存器，仍能够执行多个连续写操作。

5.1.4 存储器写操作指令

CS 引脚被下拉为低电平后，存储器写入指令被发送。写入操作码后面是一个 3 字节地址和 XIP 的模式字节 (若有)。CY15x116QSN 为 16 Mb (2048K × 8) 容量提供一个 21 位地址空间。最高有效地址字节包括 A16, A17, A18, A19 和 A20 等有效位，其余的 A[23:21] 位可被忽略。传送 (XIP) 模式字节 (若支持 XIP 模式) 后，各个地址位 A20 ~ A0 会以 3 字节为一组在 SPI 总线上进行传输。最后地址位或最后模式位 (若支持 XIP) 被传送后，将立即通过输入线传送数据字节 ([D7:0])。在 SDR 和 DDR 总线接口的 SPI, 扩展型 SPI, DPI 或 QPI 模式下支持存储器写操作。其中，一些存储器写操作支持芯片内执行 (Execute-In-Place, XIP) 特性。Table 39 显示了在各种不同的 SPI 总线接口模式和数据传输模式下 CY15x116QSN 所支持的存储器写入指令列表。

注意

- 突发写入操作达到受保护的模块地址时，它会在受保护空间内保持地址递增，但不会将任何数据写入到受保护的存储器内。如果地址翻转并使突发写入操作达到不受保护的空間，则可恢复写入操作。如果在受保护的模块中启动突发写入，则发生同样的操作。
- 在写操作过程中，如果传输数据字节时被断电，则只有最后完成的字节被写入。

Table 39 存储器写入指令

指令	操作码 (十六进制)	指令说明
WRITE	02	存储器写入 — 写入到 F-RAM 阵列
DDRWRITE	DE	DDR 写入 — QPI DDR 模式下的存储器写入
FAST_WRITE	DA	存储器快速写入 — “芯片内执行”模式下的存储器写入
DDR_FAST_WRITE	DD	DDR 快速写入 — DDR 模式下的存储器快速写入
DIW	A2	双线输入写入 — 指令、地址和模式字节在单个 SI 线上被传输，数据字节在双线输入 I/O1 (SO)、I/O0 (SI) 上被传输
DIOW	A1	DDR 双线 I/O 写入 — 指令在单个 SI 线上被传输，地址、模式字节和数据字节在双线输入 I/O1 (SO)、I/O0 (SI) 上被传输
QIW	32	四线输入写入 — 指令、地址和模式字节在单个 SI 线上被传输，数据字节在四线输入 I/O3 (RESET), I/O2 (WP), I/O1 (SO) 和 I/O0 (SI) 上被传输

功能说明

Table 39 存储器写入指令

指令	操作码 (十六进制)	指令说明
QIOW	D2	四线 I/O 写入 — 指令在单个 SI 线上被传输, 地址、模式字节和数据字节在四线输入 I/O3 ($\overline{\text{RESET}}$), I/O2 ($\overline{\text{WP}}$), I/O1 (SO) 和 I/O0 (SI) 上被传输
DDRQIOW	D1	DDR 四线 I/O 写入 — DDR 模式下的四线 I/O 写入

Table 40 存储器写入指令的详情

指令			SPI 总线接口							数据 传输		XIP	最大 时钟 频率		
指令	操作码 (十六进制)	地址长度	SPI	双线 数据	四线 数据	双线 I/O	四线 I/O	DPI	QPI	SDR	DDR	芯片内 执行 (模式 字节)			
WRITE	02	三个字节	支持	不适用				支持	支持	支持	不适用	不适用	108 MHz		
DDRWRITE	DE	三个字节	不适用						支持	不适用	支持	不适用	46 MHz		
FAST_WRITE	DA	三个字节	支持	不适用				支持	支持	支持	不适用	支持	108 MHz		
DDR_FAST_WRITE	DD	三个字节	不适用						支持	不适用	支持	支持	46 MHz		
DIW	A2	三个字节	不适用	支持	不适用						支持	不适用	支持	108 MHz	
DIOW	A1	三个字节	不适用			支持	不适用				支持	不适用	支持	108 MHz	
QIW	32	三个字节	不适用		支持	不适用					支持	不适用	支持	108 MHz	
QIOW	D2	三个字节	不适用				支持	不适用				支持	不适用	支持	108 MHz
DDRQIOW	D1	三个字节	不适用				支持	不适用				不适用	支持	支持	46 MHz

功能说明

5.1.4.1 写操作 (WRITE, 02h)

在 SI 引脚 (SPI 模式下)、I/O1 和 I/O0 引脚 (DPI 模式下) 或 I/O3, I/O2, I/O1 和 I/O0 引脚 (QPI 模式下) 上发送 WRITE 操作码和写数据时, 可以执行写操作。通过突发写入操作, 可以写入连续地址, 而不需要发出新的 WRITE 指令。如果只写入一个字节, 发送 D0 (数据的 LSB) 后必须将 $\overline{\text{CS}}$ 引脚置为高电平。如果要写入多个字节, 则必须使 $\overline{\text{CS}}$ 引脚保持低电平状态, 并且地址会自动递增。输入引脚上的数据字节被写入到连续地址内。内部地址计数器达到 0x1FFFFFF 时, 地址翻转为 0x00000, 并且器件继续进行写操作。

注意

- 只有将 WEL 位 (SR1[1]) 设置为 '1' 时, 才能执行 WRITE 指令。
- WRITE 操作完成后, WEL 位 (SR1[1]) 不会被清除为 '0'。因此, WRITE 操作之后发送的任何写入指令都不需要之前的 WREN 指令将 WEL 位设置为 '1'。

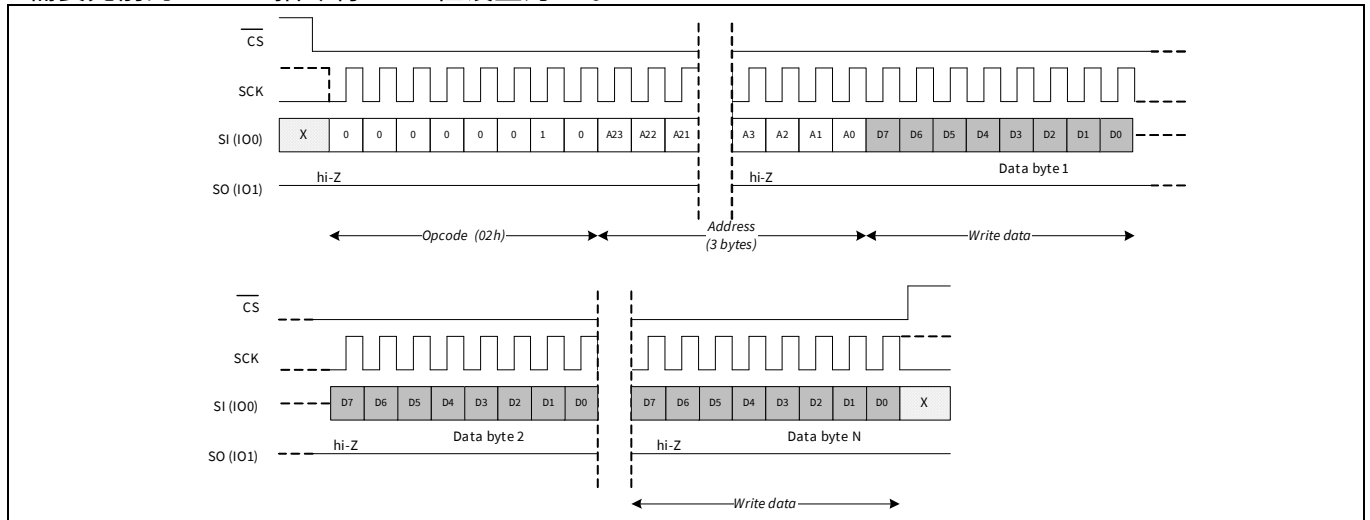


Figure 39 SPI 模式下的存储器写入 (WRITE)

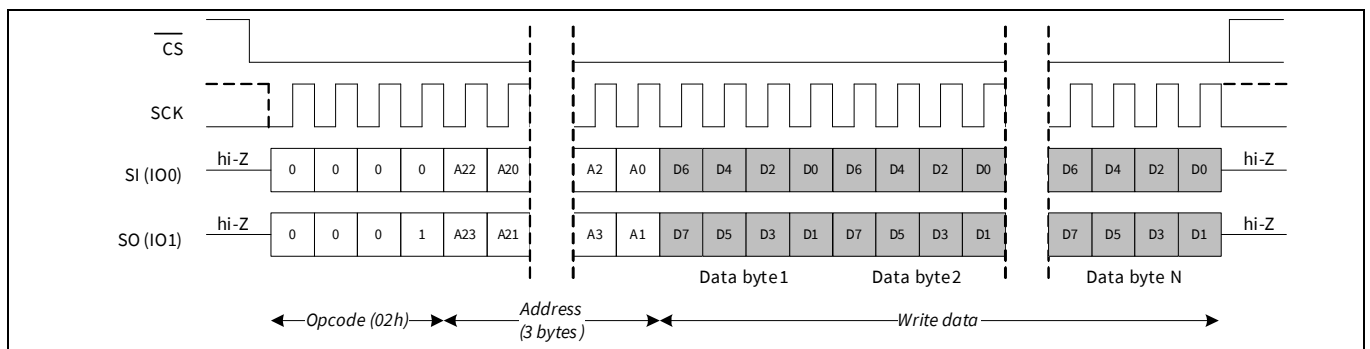


Figure 40 DPI 模式下的存储器写入 (WRITE)

功能说明

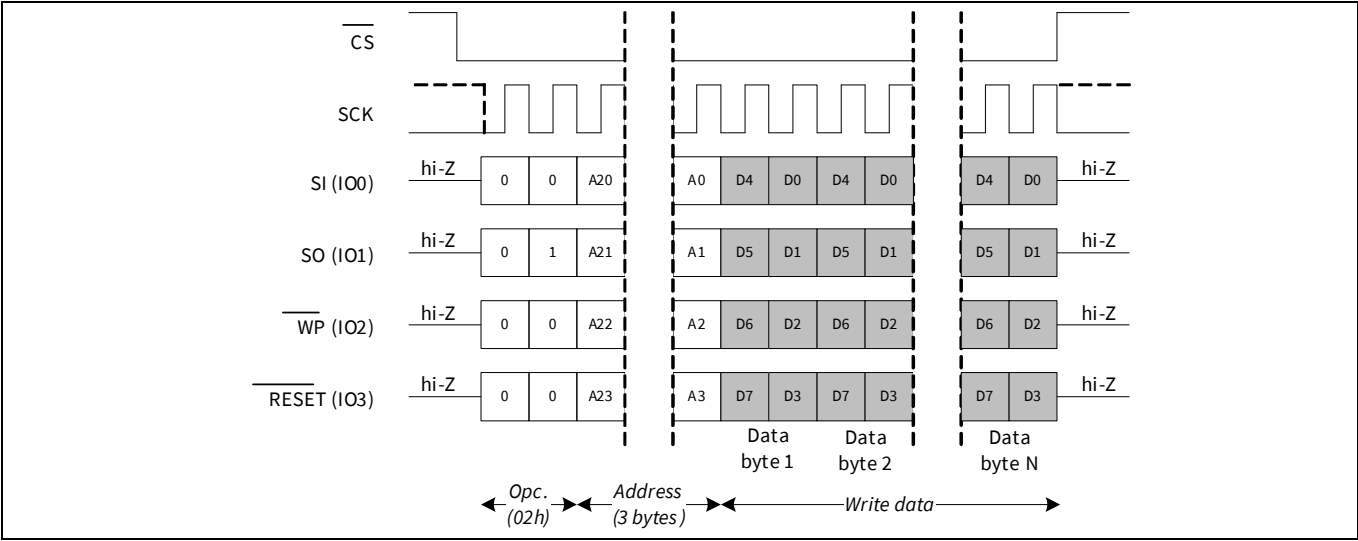


Figure 41 QPI 模式下的存储器写入 (WRITE)

5.1.4.2 DDR 写入 (DDRWRITE, DEh)

DDRWRITE 指令可通过在 SCK 的双边沿上传送地址和数据位来提高带宽。该地址可以从存储器阵列中的任意字节位置开始。输出每一个数据字节后，会按顺序自动递增到下一个更高的地址。因此，只要使用一个写入操作码和已给的起始地址便可以写入整个存储器的空间。当到达最高地址 0x1FFFFFF 时，地址计数器会翻转到起始地址 0x000000，这样允许读取序列无限期地继续下去。该操作码不支持 SPI 模式 3。

注意

- 只有通过将 WEL 位置 '1' 使能写操作时，器件才能执行 DDRWRITE 指令。
- DDRWRITE 操作完成后，WEL 位不会被清除为 '0'。

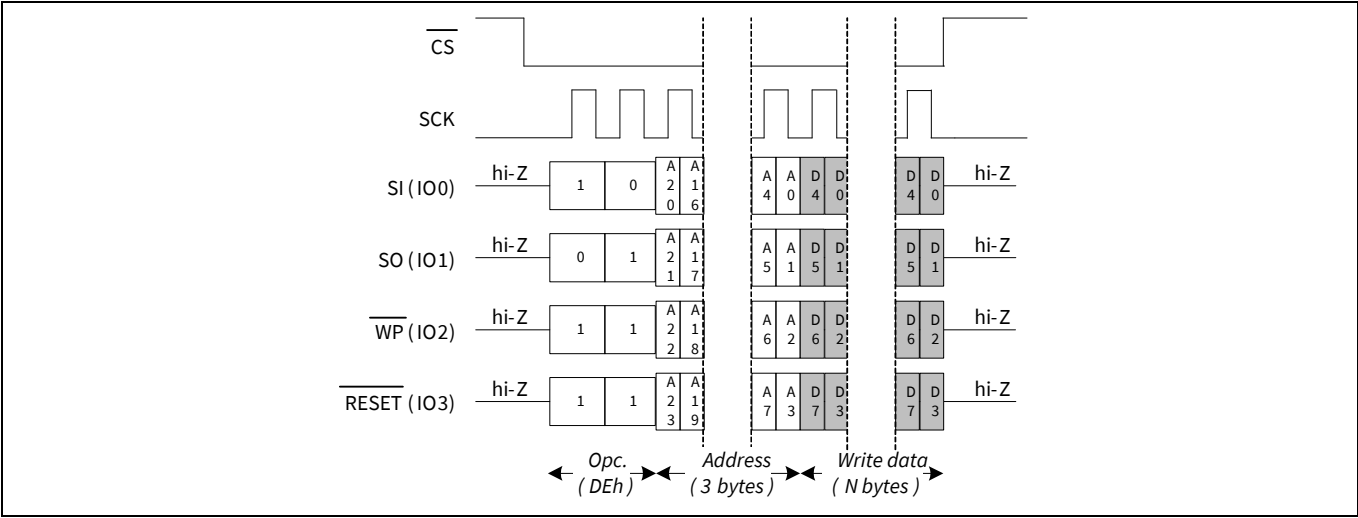


Figure 42 QPI 模式下的 DDR 写入 (DDRWRITE)

功能说明

5.1.4.3 快速写入 (FAST_WRITE, DAh)

FAST_WRITE 指令与 WRITE 指令相同。此外，该快速写入指令还能通过配置模式字节来支持 XIP 操作。通过模式位，可以在第一个指令发送 A_{xh} 模式位 (1010XXXX) 格式后使用一系列快速写入指令来消除 8 位操作码。通过这种称为“芯片内执行”(Execute-In-Place, XIP) 的特性，可缩短初始访问时间，从而能够提高器件的性能。模式位通过添加或清除第一个字节指令操作码来控制下一个快速写入操作的长度。如果模式位为 A_{xh}，那么器件会切换为连续快速写入模式，并且能够写入下一个地址 (在将 $\overline{\text{CS}}$ 驱动为高电平再通过低电平信号激活该引脚后) 而不需要 DAh 操作码，从而可以清除指令序列的 8 个周期。否则，一旦 $\overline{\text{CS}}$ 从高电平切换为低电平，则需要操作码。

注意

- 模式位为 !A_{xh} (即 A_{xh} 字节的逻辑 NOT) 时，器件会退出 FAST_WRITE XIP 模式。
- 只有通过将状态寄存器中的写使能锁存位 (WEL) 设置为 1 来使能写操作时，器件才能执行 FAST_WRITE 指令。
- FAST_WRITE 操作完成后，WEL 位不会被复位为 0。

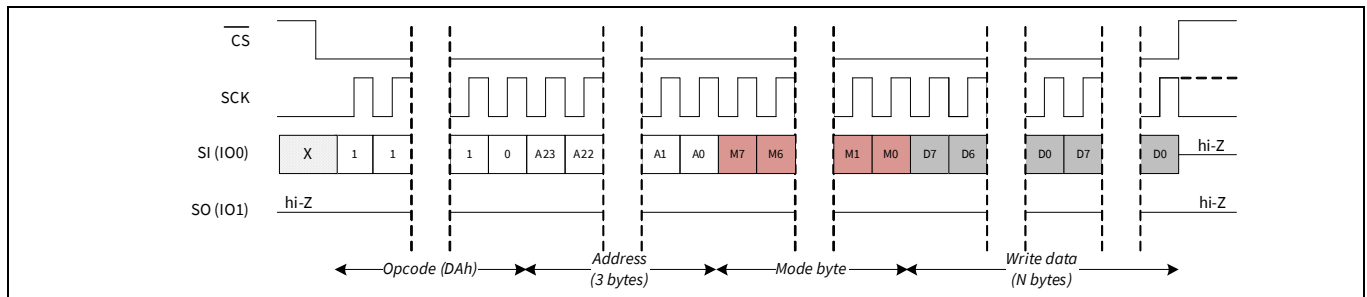


Figure 43 SPI 模式下的快速写入 (FAST_WRITE)

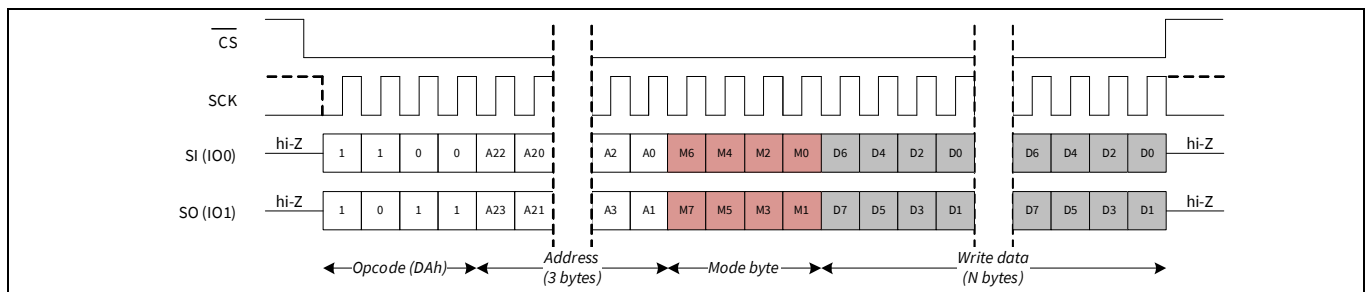


Figure 44 DPI 模式下的快速写入 (FAST_WRITE)

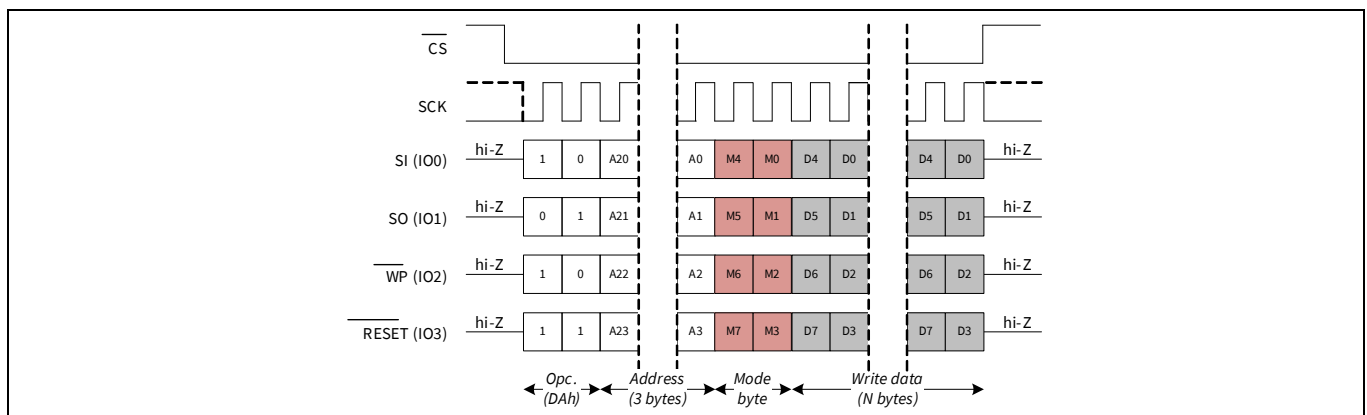


Figure 45 QPI 模式下的快速写入 (FAST_WRITE)

功能说明

5.1.4.4 DDR 快速写入 (DDR_FAST_WRITE, DDh)

DDR_FAST_WRITE 指令与 DDRWRITE 指令相同。此外，该快速写入指令还支持 XIP 操作。

通过模式位，可以在第一个指令发送 A5h 模式位 (10100101) 格式后使用一系列 DDR_FAST_WRITE 指令来消除 8 位操作码。通过这种称为“芯片内执行”(Execute-In-Place, XIP) 的特性，可大量缩短初始访问时间 (提高性能)。模式位通过添加或清除第一个字节指令操作码来控制下一个 DDR_FAST_WRITE 操作的长度。如果模式位为 A5h，那么器件会切换为连续 DDR_FAST_WRITE 模式，写入下一个地址 (在将 CS 驱动为高电平再通过低电平信号激活该引脚后) 而不需要 DDh 操作码，从而可以清除指令序列的 8 个周期。否则，一旦 CS 从高电平切换为低电平，则需要操作码。该操作码不支持 SPI 模式 3。

注意

- 模式位为 !A5h (即 A5h 字节的逻辑 NOT) 时，器件会退出 DDR_FAST_WRITE XIP 模式。
- 只有通过将 WEL 位设置为 ‘1’ 来使能写操作时，器件才能执行 DDR_FAST_WRITE 指令。
- DDR_FAST_WRITE 操作完成后，WEL 位不会被复位为 ‘0’。

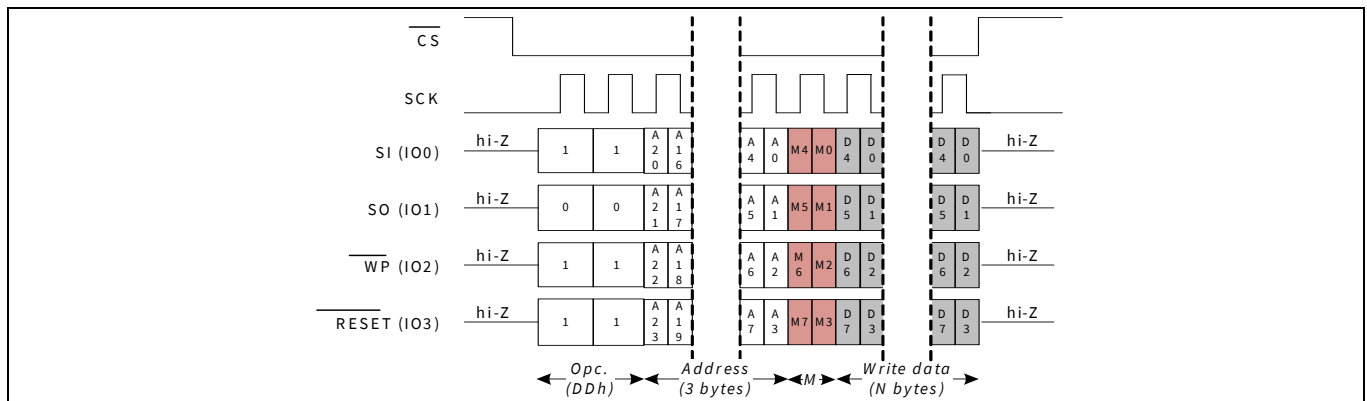


Figure 46 QPI 模式下的 DDR 快速写入 (DDR_FAST_WRITE)

5.1.4.5 双线输入写入 (DIW, A2h)

可以在双线数据模式中使用 DIW 指令，该指令是 SPI 扩展型写指令的一部分。在双线数据模式下，操作码、地址和模式字节均通过 SI 引脚进行传送，每个时钟周期传送一位。传送最后地址位后，将立即重新配置各引脚：SO 变成 I/O1 和 SI 变成 I/O0。另外，数据 [D[7:0]] 被传送到 I/O1 和 I/O0 引脚，每个时钟周期传送两位 (分别通过 I/O1 和 I/O0 从 D7 和 D6 开始传送)。

通过模式位，可以在第一个指令发送 Axh 模式位 (1010XXXX) 格式后使用一系列 DIW 指令来消除 8 位操作码。通过这种称为“芯片内执行”(Execute-In-Place, XIP) 的特性，可缩短初始访问时间，(提高性能)。模式位通过添加或清除第一个字节指令操作码来控制下一个 DIW 操作的长度。如果模式位为 Axh，那么器件会切换为连续 DIW 模式，并且能够写入下一个地址 (在将 CS 驱动为高电平再通过低电平信号激活该引脚后) 而不需要 A2h 操作码，从而可以清除指令序列的 8 个周期。否则，一旦 CS 从高电平切换为低电平，则需要操作码。

注意

- 模式位为 !Axh (即 Axh 字节的逻辑 NOT) 时，器件将退出 DIW XIP 模式。
- 只有通过将 WEL 位设置为 ‘1’ 来使能写操作时，器件才能执行 DIW 指令。
- DIW 操作完成后不会 WEL 位不会被复位为 ‘0’。

功能说明

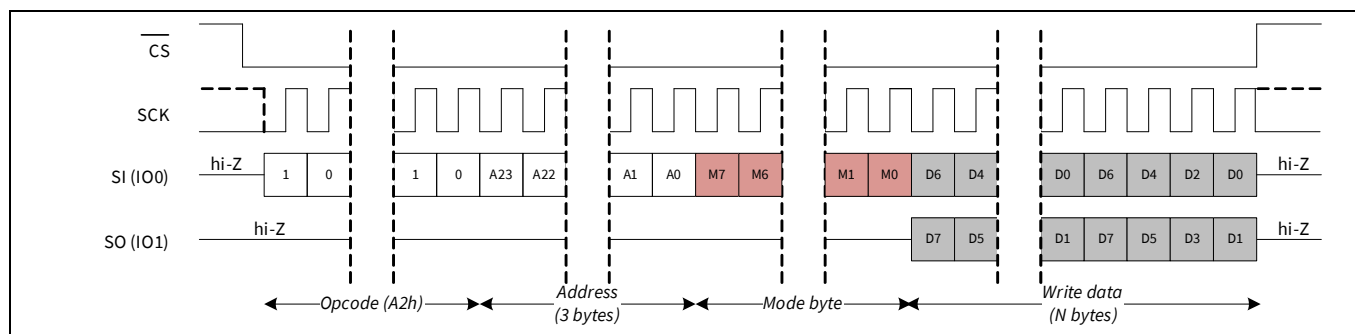


Figure 47 双线输入写入 (DIW)

5.1.4.6 双线 I/O 写入 (DIOW, A1h)

可以在双线地址 / 数据模式中使用 DIOW 指令, 该指令是 SPI 扩展型写指令的一部分。在双线地址 / 数据模式下, 操作码通过 SI 引脚被传送, 每个时钟周期传送一位。传送最后操作码位后, 将立即重新配置各引脚: SO 变成 I/O1 和 SI 变成 I/O0。另外, 地址和模式字节通过 I/O1 和 I/O0 引脚传送到器件, 每个时钟周期传送两位 (分别通过 I/O1 和 I/O0 从 A23 和 A22 地址开始传送), 直到三字节地址被输入为止。传送最后地址位后, 会通过 I/O1 和 I/O0 将数据 (D[7:0]) 传送到器件, 每个时钟周期发送两位 (通过 I/O1 从 D7 开始传送, 通过 I/O0 从 D6 开始传送)。

通过模式位, 可以在第一个指令发送 Axh 模式位 (1010XXXX) 格式后使用一系列 DIOW 指令来消除 8 位操作码。通过这种称为“芯片内执行” (Execute-In-Place, XIP) 的特性, 可大量缩短初始访问时间 (提高性能)。模式位通过添加或清除第一个字节指令操作码来控制下一个 DIOW 操作的长度。如果模式位为 Axh, 那么器件会切换为连续 DIOW 模式, 并且能够写入下一个地址 (在将 CS 驱动为高电平再通过低电平信号激活该引脚后) 而不需要 A1h 操作码, 从而可以清除指令序列的 8 个周期。否则, 一旦 CS 从高电平切换为低电平, 则需要操作码。

注意

- 模式位为 !Axh (即 Axh 字节的逻辑 NOT) 时, 器件将退出 DIOW XIP 模式。
- 只有通过将 WEL 位设置为 1 来使能写操作时, 器件才能执行 DIOW 指令。
- DIOW 操作完成后 WEL 位不会被复位为 '0'。

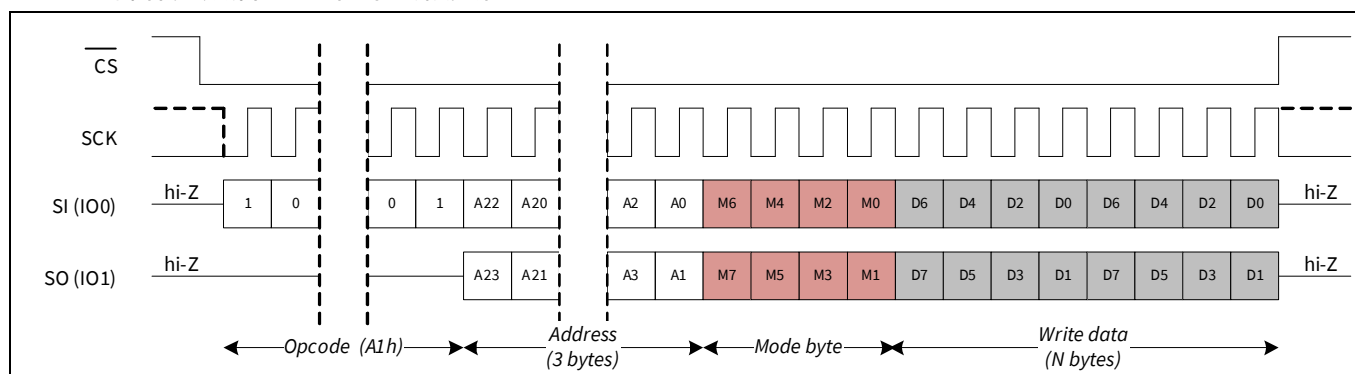


Figure 48 双线 I/O 写入 (DIOW)

功能说明

5.1.4.7 四线输入写入 (QIW, 32h)

可以在四线数据模式中使用 QIW 指令, 该指令是 SPI 扩展型写指令的一部分。在四线数据模式下, 操作码、地址和模式字节通过 SI 引脚被传送, 每个时钟周期传送一位。在四线数据模式下, 操作码、地址和模式字节通过 SI 引脚被传送, 每个时钟周期传送一位。传送最后地址位后, 将立即重新配置各引脚: RESET 变成 I/O3, WP 变成 I/O2, SO 变成 I/O1, SI 变成 I/O0。另外, 数据 (D7-D0) 分别通过 I/O3, I/O2, I/O1 和 I/O0 从 D7, D6, D5 和 D4 开始传送)。

通过模式位, 可以在第一个指令发送 Axh 模式位 (1010XXXX) 格式后使用一系列 QIW 指令来消除 8 位操作码。通过这种称为“芯片内执行”(Execute-In-Place, XIP) 的特性, 可大量缩短初始访问时间 (提高性能)。模式位通过添加或清除第一个字节指令操作码来控制下一个 QIW 操作的长度。如果模式位为 Axh, 那么器件会切换为连续 QIW 模式, 并且能够写入下一个地址 (在将 CS 驱动为高电平再通过低电平信号激活该引脚后) 而不需要 32h 操作码, 从而可以清除指令序列的 8 个周期。否则, 一旦 CS 从高电平切换为低电平, 则需要操作码。

注意

- 模式位为 !Axh (即 Axh 字节的逻辑 NOT) 时, 器件将退出 QIW XIP 模式。
- 只有通过将状态寄存器中的写使能锁存位 (WEL) 设置为 1 来使能写操作时, 器件才能执行 QIW 指令。
- QIW 操作完成后 WEL 位不会被复位为 '0'。

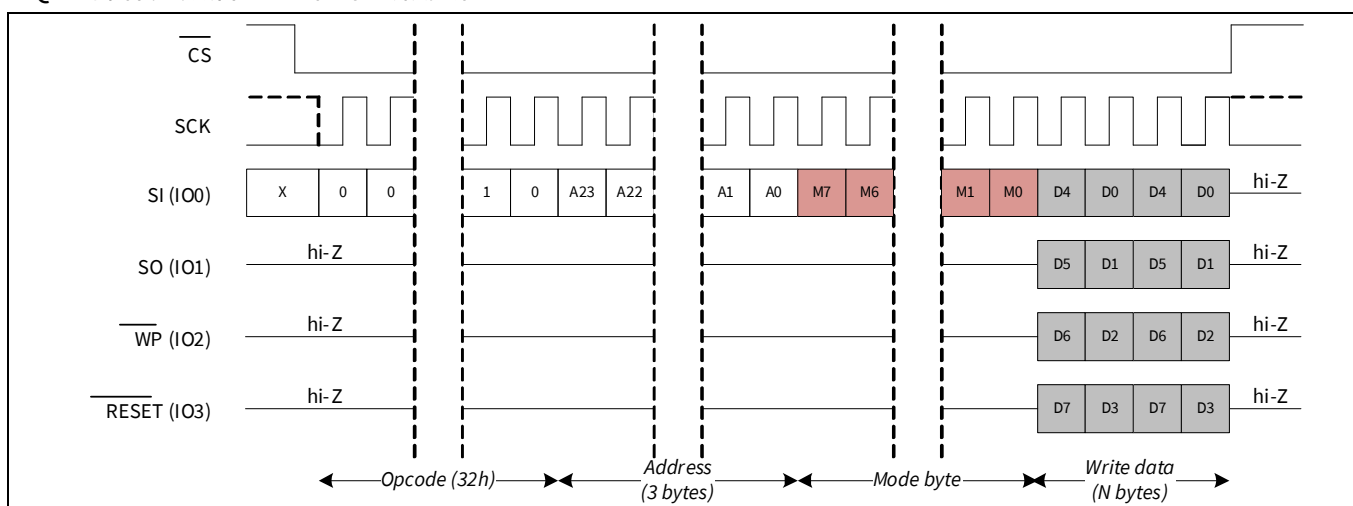


Figure 49 四线输入写入 (QIW)

5.1.4.8 四线 I/O 写入 (QIOW, D2h)

可以在四线地址 / 数据模式中使用 QIOW 指令, 该指令是 SPI 扩展型写指令的一部分。在四线地址 / 数据模式下, 操作码通过 SI 引脚被传送, 每个时钟周期传送一位。传送最后操作码位后, 将立即重新配置各引脚: RESET 变成 I/O3, WP 变成 I/O2, SO 变成 I/O1, SI 变成 I/O0。另外, 地址通过 I/O3, I/O2, I/O1 和 I/O0 引脚传送到器件, 每个时钟周期传送四位 (分别通过 I/O3, I/O2, I/O1 和 I/O0 从 A23, A22, A21 和 A20 开始传送), 直到三字节地址被输入为止。传送最后地址位后, 会通过 I/O3, I/O2, I/O1 和 I/O0 将数据 (D7-D0) 传送到器件, 每个时钟周期传送四位 (分别通过 I/O3, I/O2, I/O1 和 I/O0 从 D7, D6, D5 和 D4 开始传送)。

通过模式位, 可以在第一个指令发送 Axh 模式位 (1010XXXX) 格式后使用一系列 QIOW 指令来消除 8 位操作码。通过这种称为“芯片内执行”(Execute-In-Place, XIP) 的特性, 可大量缩短初始访问时间 (提高性能)。模式位通过添加或清除第一个字节指令操作码来控制下一个 QIOW 操作的长度。如果模式位为 Axh, 那么器件会切换为连续 QIOW 模式, 并且能够写入下一个地址 (在将 CS 驱动为高电平再通过低电平信号激活该引脚后) 而不需要 D2h 操作码, 从而可以清除指令序列的 8 个周期。否则, 一旦 CS 从高电平切换为低电平, 则需要操作码。

注意

- 模式位为 !Axh (即 Axh 字节的逻辑 NOT) 时, 器件将退出 QIOW XIP 模式。

功能说明

- 只有通过将状态寄存器中的写使能锁存位 (WEL) 设置为 1 来使能写操作时，器件才能执行 QIOW 指令。
- QIOW 操作完成后不会 WEL 位不会被复位为 '0'。

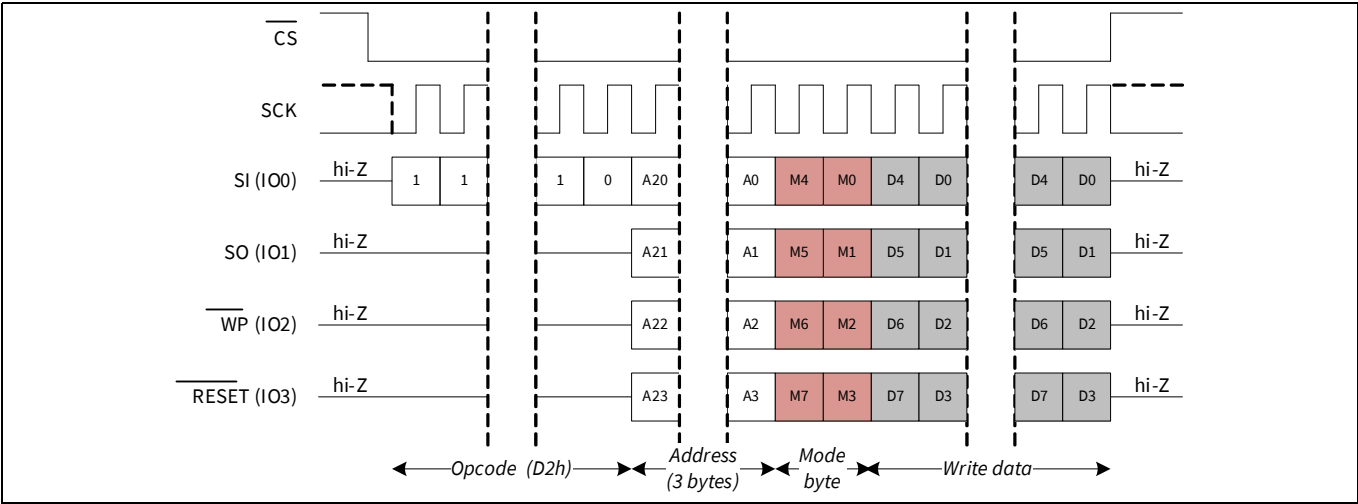


Figure 50 四线 I/O 写入 (QIOW)

5.1.4.9 DDR 四线 I/O 写入 (DDRQIOW, D1h)

双倍数据速率四线 I/O 写入指令与四线 I/O 写入指令相同，另外它还支持在任何时钟边沿上传送地址和数据，并且 DDRQIOW 中的模式位格式为 A5h (10100101)。该操作码不支持 SPI 模式 3。

注意：模式位为 !A5h (即 A5h 字节的逻辑 NOT) 时，器件将退出 DDRQIOW XIP 模式。

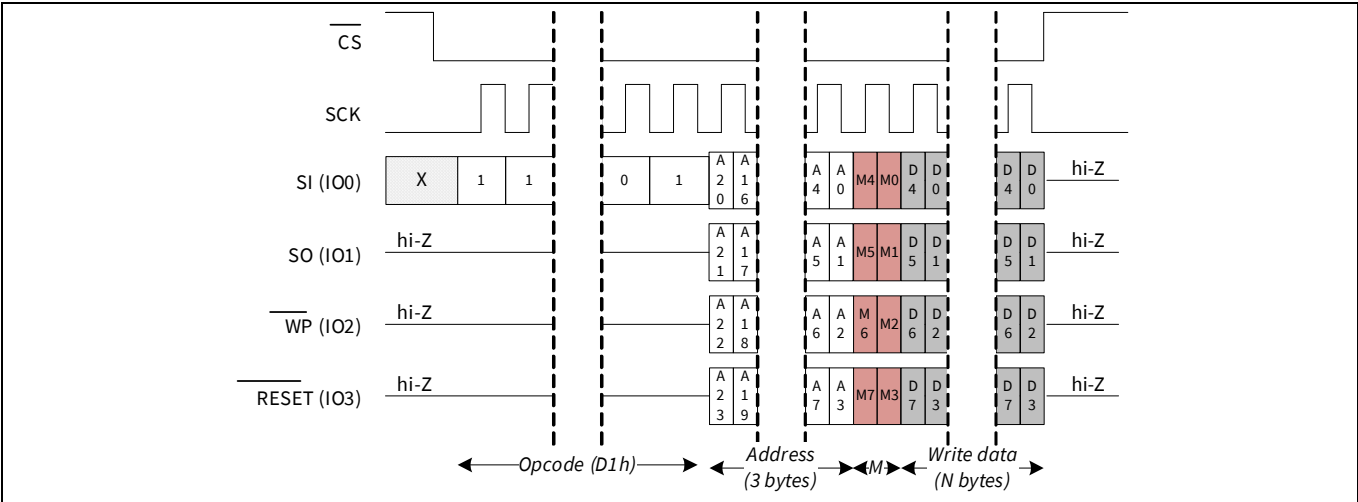


Figure 51 四线 I/O 写入 (QIOW)

功能说明

5.1.5 存储器读操作指令

CS 引脚被下拉为低电平后会发送存储器读操作指令，用于选择器件。读取操作码后面是一个 3 字节地址和 XIP 的模式字节 (若有)。针对 16 Mb (2048K × 8) 的容量，CY15x116QSN 提供一个 21 位地址空间。最高有效地址字节包括 A16, A17, A18, A19 和 A20 等有效位，其余的位可被忽略。各个地址位 A20 ~ A0 在 SPI 总线上以 3 字节为一组进行传输，然后传送模式字节和虚拟周期 (若有)。

存储器读取操作支持 SDR 和 DDR 总线接口中的 SPI、扩展型 SPI, DPI 或 QPI 模式，另外，该操作还支持芯片内执行 (Execute-In-Place, XIP) 特性。[Table 41](#) 显示了在各种不同的 SPI 总线接口和数据传输的模式下 CY15x116QSN 所支持的存储器读取指令列表。

Table 41 存储器读指令

指令	操作码 (十六进制)	指令说明
READ	03	存储器读取 — 在 SPI SDR 模式下能够以高达 50 MHz 的频率进行读取而不发生存储器延迟周期；在 SPI, DPI, QPI SDR 模式能够以 108 MHz 的频率进行读取但将发生存储器延迟周期
FAST_READ	0B	存储器快速读取 — 在 SPI, DPI, QPI SDR 模式能够以 108 MHz 的频率进行读取但将发生存储器延迟周期
DDRFR	0D	DDR 快速读取 — QPI DDR 模式下的快速读取指令
DOR	3B	双线输出读取 — 指令和地址字节在单个 SI 线上被传输，而数据在双线输出线 I/O1 (SO) 和 I/O0 (SI) 上被传输
DIOR	BB	双线 I/O 读取 — 指令在单个 SI 线上被传输，而地址输入和数据输出在双线输出线 I/O1 (SO) 和 I/O0 (SI) 上执行
QOR	6B	四线输出读取 — 指令和地址在单个 SI 线上被传输，而数据在四线输出线 I/O3 (RESET), I/O2 (WP), I/O1 (SO) 和 I/O0 (SI) 上被传输
QIOR	EB	四线 I/O 读取 — 指令在单个 SI 线上被传输，而地址输入和数据输出在四线输出线 I/O3 (RESET), I/O2 (WP), I/O1 (SO) 和 I/O0 (SI) 上执行。在扩展型 SPI (四线 I/O) 模式和 QPI SDR 模式下可以执行该操作码
DDRQIOR	ED	SDR 和 DDR 模式下的四线 I/O 读取。在扩展型 SPI (四线 I/O) 模式和 QPI DDR 模式下可以执行该操作码。

Table 42 存储器读指令的详情

操作码 (十六进制)	地址长度	SPI 总线接口						数据传输		XIP	存储器延迟	最大时钟频率	
		SPI	双线数据	四线数据	双线 I/O	四线 I/O	DPI	QPI	SDR	DDR	芯片内执行		虚拟周期
03	三个字节	支持	不适用				支持	支持	支持	不适用	不适用	支持	108 MHz
0B	三个字节	支持	不适用				支持	支持	支持	不适用	支持	支持	108 MHz
0D	三个字节	不适用						支持	不适用	支持	支持	支持	46 MHz
3B	三个字节	不适用	支持	不适用					支持	不适用	支持	支持	108 MHz
BB	三个字节	不适用			支持	不适用			支持	不适用	支持	支持	108 MHz
6B	三个字节	不适用		支持	不适用				支持	不适用	支持	支持	108 MHz
EB	三个字节	不适用			支持	不适用	支持	支持	支持	不适用	支持	支持	108 MHz
ED	三个字节	不适用			支持	不适用	支持	不适用	支持	支持	支持	支持	46 MHz

功能说明

5.1.5.1 存储器读取 (READ, 03h)

通过 READ 指令，可以在已给的地址上读取存储器内容。该地址可以从 16 Mb 存储器阵列中的任意字节位置开始，具体取决于 3 字节地址。输出每一个数据字节后，会按顺序自动递增到下一个更高的地址。因此，只要使用一个读取操作码和已给的地址便可以读取整个 16 Mb 存储器的空间。当到达最高地址 0x1FFFFFF 时，地址计数器会翻转到起始地址 0x000000，这样允许读取序列无限期地继续下去。可以在 SPI, DPI 或 QPI 模式下执行该指令。

注意：可以通过 CR1 寄存器中的存储器延迟代码位 (MLC0 ~ MLC3) 配置虚拟周期数。

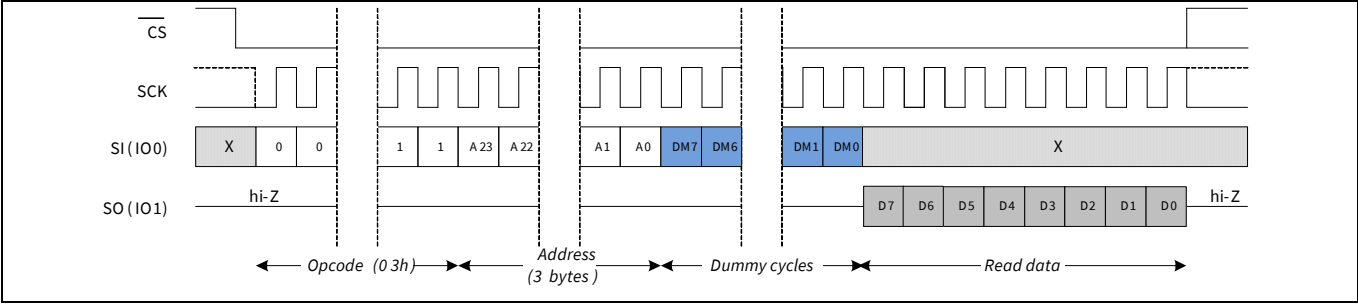


Figure 52 SPI 模式下的 READ 指令

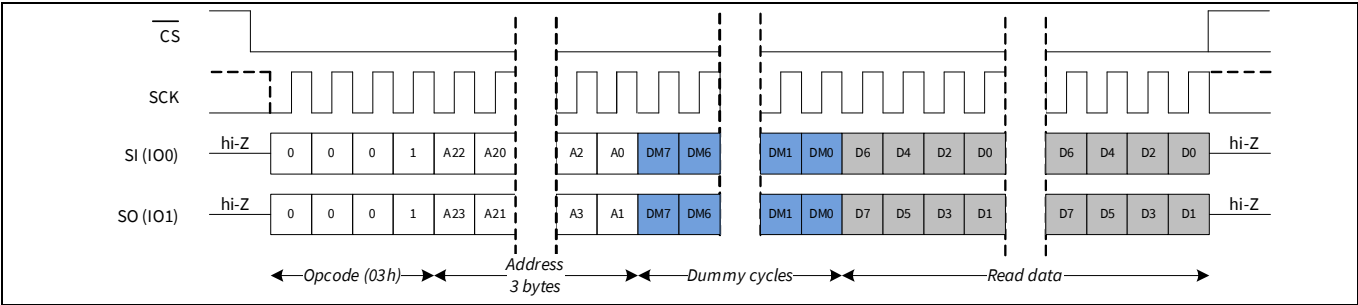


Figure 53 DPI 模式下的 READ 指令

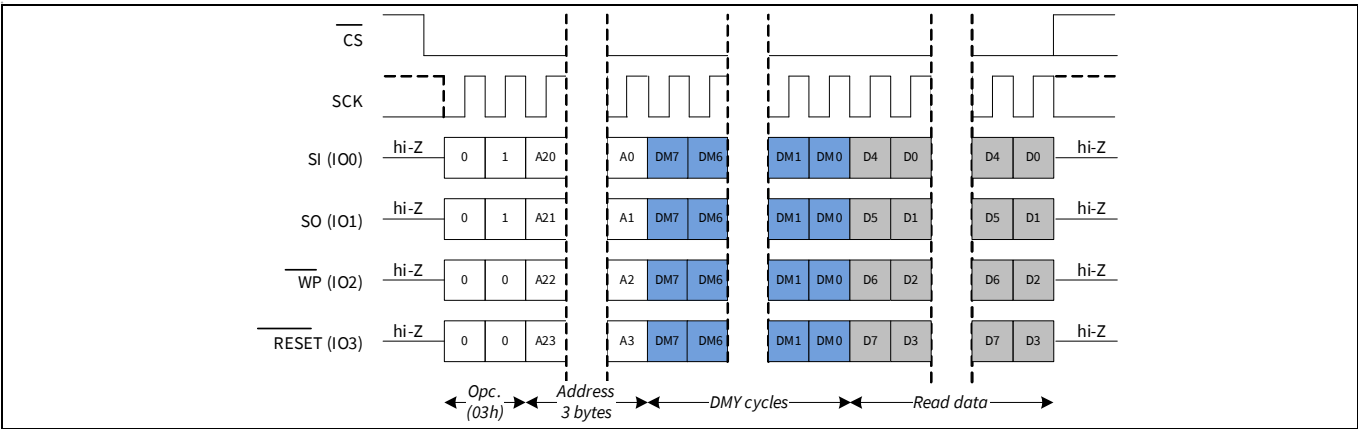


Figure 54 QPI 模式下的 READ 指令

功能说明

5.1.5.2 快速读取 (FAST_READ, 0Bh)

通过 FAST_READ 指令，可以在已给的地址上读取存储器内容。该地址可以从 16 Mb 存储器阵列中的任意字节位置开始，具体取决于 3 字节地址。输出每一个数据字节后，会按顺序自动递增到下一个更高的地址。因此，只要使用一个读取操作码和已给的地址便可以读取整个存储器的空间。当到达最高地址 0x1FFFFFF 时，地址计数器会翻转到起始地址 0x000000，这样允许读取序列无限期地继续下去。可以在 SPI, DPI 或 QPI 模式下执行该指令。

通过模式位，可以在第一个指令发送 Axh 模式位 (1010XXXX) 格式后使用一系列快速读取指令来消除 8 位操作码。通过这种称为“芯片内执行”(Execute-In-Place, XIP) 的特性，可大量缩短初始访问时间 (提高性能)。模式位通过添加或清除第一个字节指令操作码来控制下一个 FAST_READ 操作的长度。如果模式位为 Axh, 那么器件会切换为连续 fast_read 模式, 并且能够读取下一个地址 (在将 CS 驱动为高电平再通过低电平信号激活该引脚后) 而不需要 0Bh 操作码, 从而可以清除指令序列的 8 个周期。否则, 一旦 CS 从高电平切换为低电平, 则需要操作码。

注意

- 模式位为 !Axh (即 Axh 字节的逻辑 NOT) 时, 器件将退出 FAST_READ XIP 模式。
- 可以通过 CR1 寄存器中的存储器延迟代码位 (MLC0 ~ MLC3) 配置虚拟周期数。

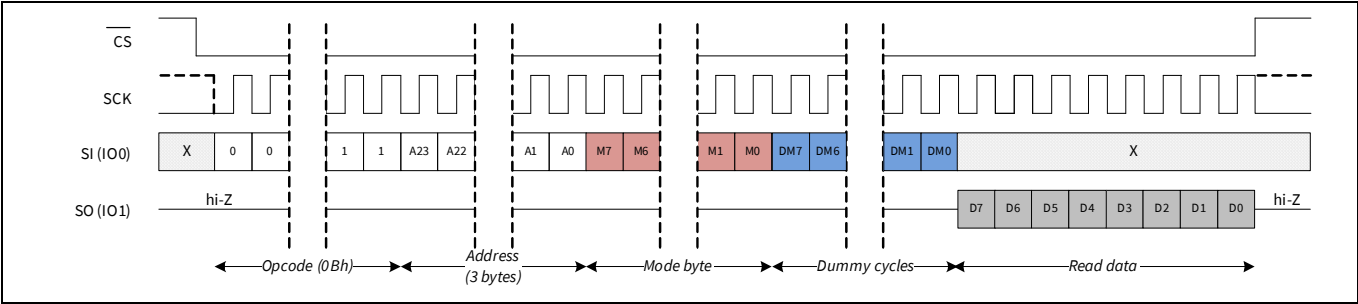


Figure 55 SPI 模式下的 FAST_READ 指令

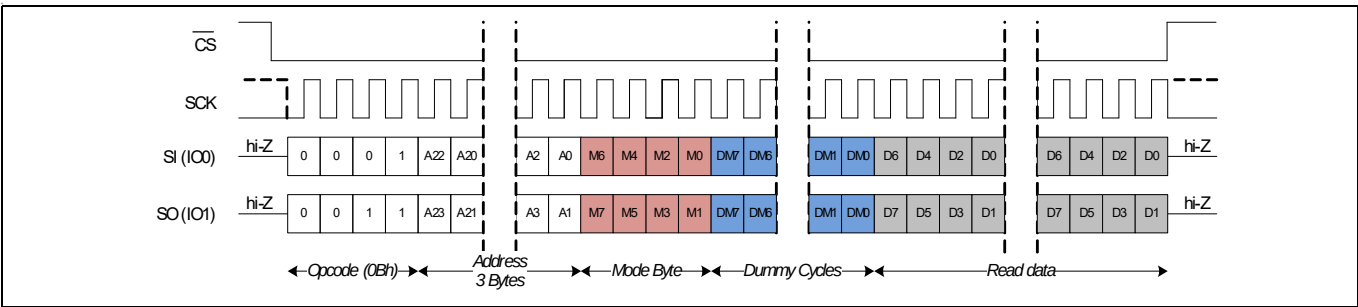


Figure 56 DPI 模式中的 FAST_RDID 指令

功能说明

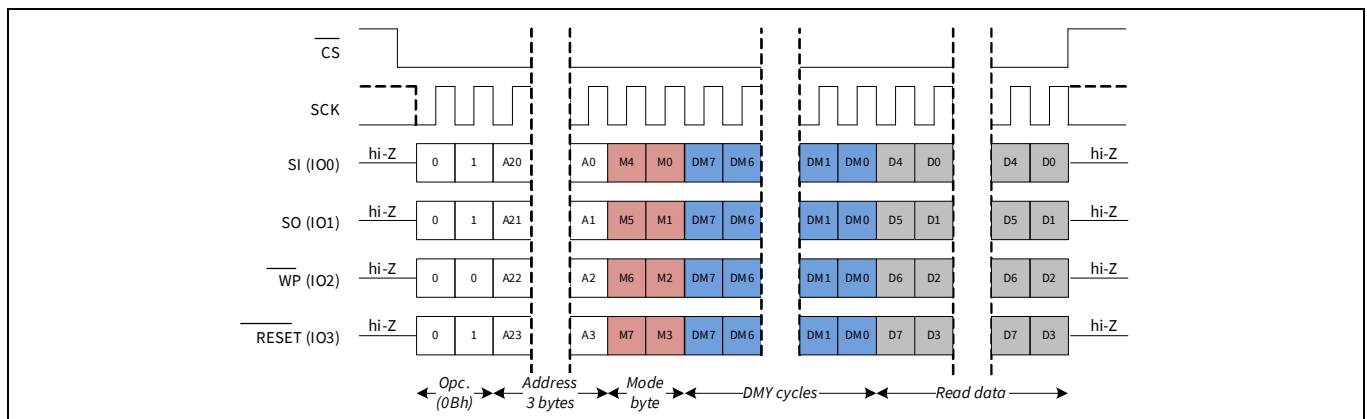


Figure 57 QPI 模式下的 FAST_READ 指令

5.1.5.3 DDR 快速读取 (DDRFR, 0Dh)

DDRFR 指令可通过在 SCK 的任意边沿上传送地址、虚拟位和数据位来提高带宽。该地址可以从 16 Mb 存储器阵列中的任意字节位置开始，具体取决于 3 字节地址。输出每一个数据字节后，会按顺序自动递增到下一个地址。因此，只要使用一个读取操作码和已给的起始地址便可以读取整个存储器的空间。当到达最高地址 0x1FFFFFF 时，地址计数器会翻转到起始地址 0x000000，这样允许读取序列无限期地继续下去。在虚拟周期内， $\overline{\text{CS}}$ 要保持为低电平。可以在 QPI 模式下执行该指令。

通过模式位，可以在第一个指令发送 A5h 模式位 (10100101) 格式后使用一系列快速读取 DDR 指令来消除 8 位操作码。通过这种称为“芯片内执行” (Execute-In-Place, XIP) 的特性，可大量缩短初始访问时间 (提高 XIP 性能)。模式位通过添加或清除第一个字节指令操作码来控制下一个 DDRFR 操作的长度。如果模式位为 A5h，那么器件会切换为连续 DDR 快速读取模式，并且能够读取下一个地址 (在将 $\overline{\text{CS}}$ 驱动为高电平再通过低电平信号激活该引脚后) 而不需要 0Dh 操作码，从而可以清除指令序列的 8 个周期。否则，一旦 $\overline{\text{CS}}$ 从高电平切换为低电平，则需要操作码。该操作码不支持 SPI 模式 3。

注释

- 模式位为 !A5h (即 A5h 字节的逻辑 NOT) 时，器件将退出 DDRFR XIP 模式。
- 可以通过 CR1 寄存器中的存储器延迟代码位 (MLC0 ~ MLC3) 配置虚拟周期数。

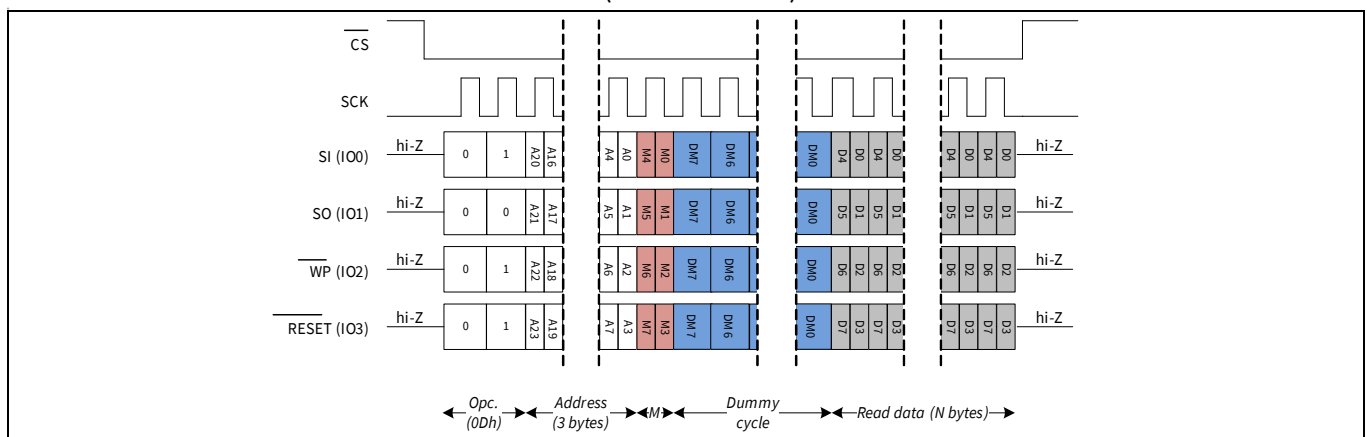


Figure 58 QPI 模式下的 DDRFR

功能说明

5.1.5.4 双线输出读取 (DOR, 3Bh)

可以在双线数据模式下使用 DOR 指令, 该指令是扩展型 SPI 读指令的一部分。在双线数据模式下, 操作码、地址、模式字节 (A_{xh}) 和虚拟周期均通过 SI 引脚进行传送, 每个时钟周期传送一位。在最后一个虚拟周期的 SCK 的下降沿上, 这些引脚被重新配置: SO 作为 I/O1, SI 作为 I/O0。特定地址上的数据 (D7-D0) 在 I/O1 和 I/O0 引脚上被移出, 每个时钟周期输出两位 (分别通过 I/O1 和 I/O0 从 D7 和 D6 开始移出)。该地址可以从存储器阵列中的任意字节位置开始。输出每一个数据字节后, 会按顺序自动递增到下一个更高的地址。因此, 可以读取整个存储器的空间。当到达最高地址 0x1FFFFFF 时, 地址计数器会翻转到起始地址 0x000000, 这样允许读取序列无限期地继续下去。

通过模式位, 可以在第一个指令发送 A_{xh} 模式位 (1010XXXX) 格式后使用一系列 DOR 指令来消除 8 位操作码。通过这种称为“芯片内执行” (Execute-In-Place, XIP) 的特性, 可大量缩短初始访问时间, 从而能够提高 XIP 性能。模式位通过添加或清除第一个字节指令操作码来控制下一个 DOR 操作的长度。如果模式位为 A_{xh}, 那么器件会切换为连续 DOR 模式, 并且能够读取下一个地址 (在将 CS 驱动为高电平再通过低电平信号激活该引脚后) 而不需要 3Bh 操作码, 从而可以清除指令序列的 8 个周期。否则, 一旦 CS 从高电平切换为低电平, 则需要操作码。

注意

- 模式位为 !A_{xh} (即 A_{xh} 字节的逻辑 NOT) 时, 器件将退出 DOR XIP 模式。
- 可以通过 CR1 寄存器中的存储器延迟代码位 (MLC0 ~ MLC3) 配置虚拟周期数。

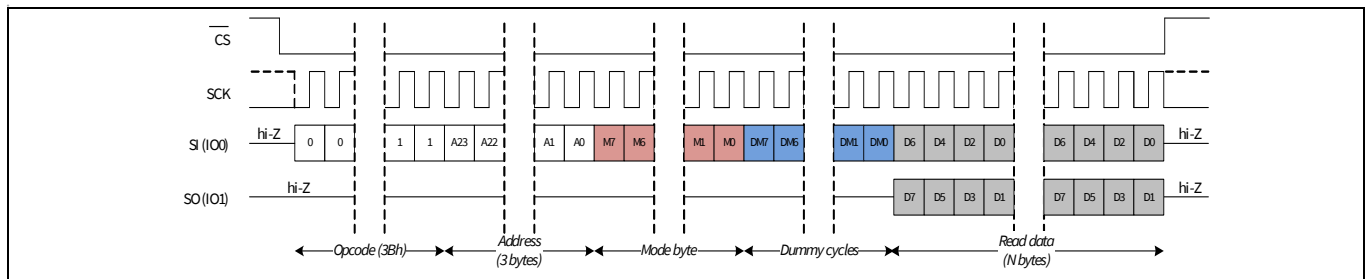


Figure 59 双线输出读取 (DOR)

5.1.5.5 双线 I/O 读取 (DIOR, BBh)

可以在双线地址 / 数据模式下使用 DIOR 指令, 该指令是扩展型 SPI 读指令的一部分。在双线地址 / 数据模式下, 操作码通过 SI 引脚被传送, 每个时钟周期传送一位。在传输操作码的最后一位后, 这些引脚被重新配置: SO 作为 I/O1 和 SI 作为 I/O0。然后, 该地址通过 I/O1 和 I/O0 引脚传送到器件, 每个时钟周期传送两位 (在 I/O1 上以 A23 地址开始, 在 I/O0 上以 A22 开始), 直到三字节地址被输入为止。特定地址上的数据 (D7-D0) 则在 I/O1 和 I/O0 引脚上被移出, 每个时钟周期移出两位 (在 I/O1 上以 D7 开始, 在 I/O0 上以 D6 开始)。输出每一个数据字节后, 会按顺序自动递增到下一个更高的地址。因此, 可以读取整个存储器的空间。当到达最高地址 0x1FFFFFF 时, 地址计数器会翻转到起始地址 0x000000, 这样允许读取序列无限期地继续下去。

通过模式位, 可以在第一个指令发送 A_{xh} 模式位 (1010XXXX) 格式后使用一系列 DIOR 指令来消除 8 位操作码。通过这种称为“芯片内执行” (Execute-In-Place, XIP) 的特性, 可大量缩短初始访问时间, 从而能够提高 XIP 性能。模式位通过添加或清除第一个字节指令操作码来控制下一个 DIOR 操作的长度。如果模式位为 A_{xh}, 那么器件会切换为连续 DIOR 模式, 并且能够读取下一个地址 (在将 CS 驱动为高电平再通过低电平信号激活该引脚后) 而不需要 BBh 操作码, 从而可以清除指令序列的 8 个周期。否则, 一旦 CS 从高电平切换为低电平, 则需要操作码。

注意

- 模式位为 !A_{xh} (即 A_{xh} 字节的逻辑 NOT) 时, 器件将退出 FAST_READ XIP 模式。
- 可以通过 CR1 寄存器中的存储器延迟代码位 (MLC0 ~ MLC3) 配置虚拟周期数。

功能说明

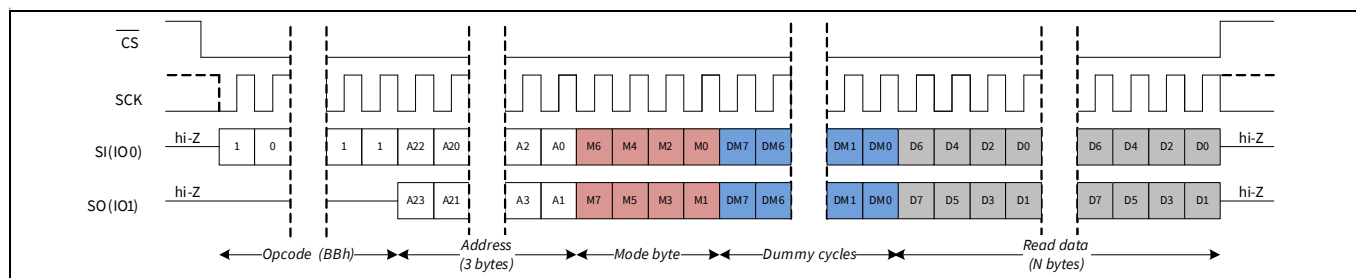


Figure 60 双线 I/O 读取 (DIOR)

5.1.5.6 四线输出读取 (QOR, 6Bh)

可以在四线数据模式中使用 QOR 指令，该指令是扩展型 SPI 读指令的一部分。在四线数据模式下，操作码、地址、模式字节 (Axh) 和虚拟周期均通过 SI 引脚进行传送，每个时钟周期传送一位。在最后模式周期的 SCK 下降沿上，这些引脚被重新配置：RESET 变成 I/O3，WP 变成 I/O2，SO 变成 I/O1 和 SI 变成 I/O0。特定地址上的数据 (D7-D0) 在 I/O3, I/O2, I/O1 和 I/O0 引脚上被输出，每个时钟周期输出四位 (在 I/O3 上以 D7 开始，在 I/O2 上以 D6 开始，在 I/O1 上以 D5 开始，在 I/O0 上以 D4 开始)。输出每一个数据字节后，会按顺序自动递增到下一个更高的地址。因此，可以读取整个存储器的空间。当到达最高地址 0x1FFFFFF 时，地址计数器会翻转到起始地址 0x000000，这样允许读取序列无限期地继续下去。

通过模式位，可以在第一个指令发送 Axh 模式位 (1010XXXX) 格式后使用一系列 DOR 指令来消除 8 位操作码。通过这种称为“芯片内执行” (Execute-In-Place, XIP) 的特性，可大量缩短初始访问时间，从而能够提高 XIP 性能。模式位通过添加或删除第一个字节指令操作码来控制下一个 QOR 操作的长度。如果模式位为 Axh，那么器件会切换为连续 QOR 模式，并且能够读取下一个地址 (在将 CS 驱动为高电平再通过低电平信号激活该引脚后) 而不需要 6Bh 操作码，从而可以清除指令序列的 8 个周期。否则，一旦 CS 从高电平切换为低电平，则需要操作码。

注意：

- 必须将配置寄存器 1 中的 QUAD 位 CR1[1] 设置为 1。
- 模式位为 !Axh (即 Axh 字节的逻辑 NOT) 时，器件将退出 DOR XIP 模式。
- 可以通过 CR1 寄存器中的存储器延迟代码位 (MLC0 ~ MLC3) 配置虚拟周期数。

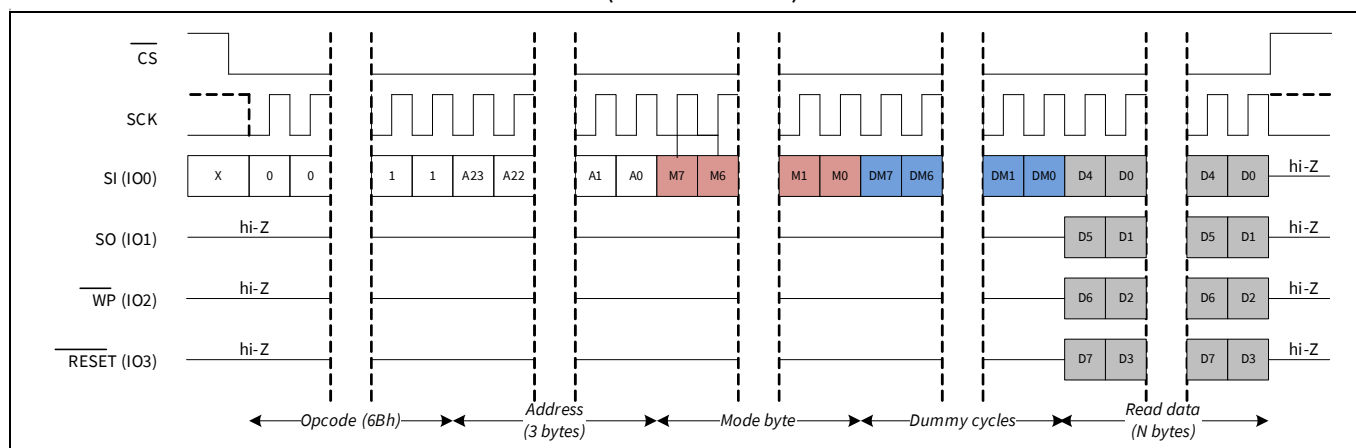


Figure 61 四线输出读取 (QOR)

功能说明

5.1.5.7 四线 I/O 读取 (QIOR, EBh) — 在扩展型 SPI 模式下

QIOR 指令用于四线地址 / 数据模式，它是扩展型 SPI 读指令的一部分。在四线地址 / 数据模式下，操作码通过 SI 引脚被传送，并且每个时钟周期传送一位。传输操作码的最后一位后，这些引脚被重新配置：RESET 作为 I/O3, WP 作为 I/O2, SO 作为 I/O1 和 SI 作为 I/O0。然后，该地址通过 I/O3, I/O2, I/O1 和 I/O0 引脚传送到器件，每个时钟周期传送 4 位 (分别在 I/O3, I/O2, I/O1 和 I/O0 上以 A23, A22, A21 和 A20 地址开始传送)，直到入三字节地址被输入为止。特定地址上的数据 (D7-D0) 在 I/O3, I/O2, I/O1 和 I/O0 引脚上被传送，每个时钟周期传送四位 (分别在 I/O3, I/O2, I/O1 和 I/O0 上以 D7, D6, D5 和 D4 开始移出)。因此，可以读取整个存储器的空间。当到达最高地址 0x1FFFFF 时，地址计数器会翻转到起始地址 0x000000，这样允许读取序列无限期地下去。

通过模式位，可以在第一个指令发送 Axh 模式位 (1010XXXX) 格式后使用一系列 QIOR 指令来消除 8 位操作码。通过这种称为“芯片内执行”(Execute-In-Place, XIP) 的特性，可大量缩短初始访问时间，从而能够提高 XIP 性能。模式位通过添加或清除第一个字节指令操作码来控制下一个 QIOR 操作的长度。如果模式位为 Axh, 那么器件会切换为连续 QIOR 模式，并且能够读取下一个地址 (在将 CS 驱动为高电平再通过低电平信号激活该引脚后) 而不需要 EBh 操作码，从而可以清除指令序列的 8 个周期。否则，在将 CS 驱动为高电平再通过低电平信号激活该引脚时，会需要操作码。

注意

- 必须将配置寄存器 1 中的 QUAD 位 CR1[1] 设置为 1。
- 模式位为 !Axh (即 Axh 字节的逻辑 NOT) 时，器件将退出 QIOR XIP 模式。
- 可以通过 CR1 寄存器中的存储器延迟代码位 (MLC0 ~ MLC3) 配置虚拟周期数。

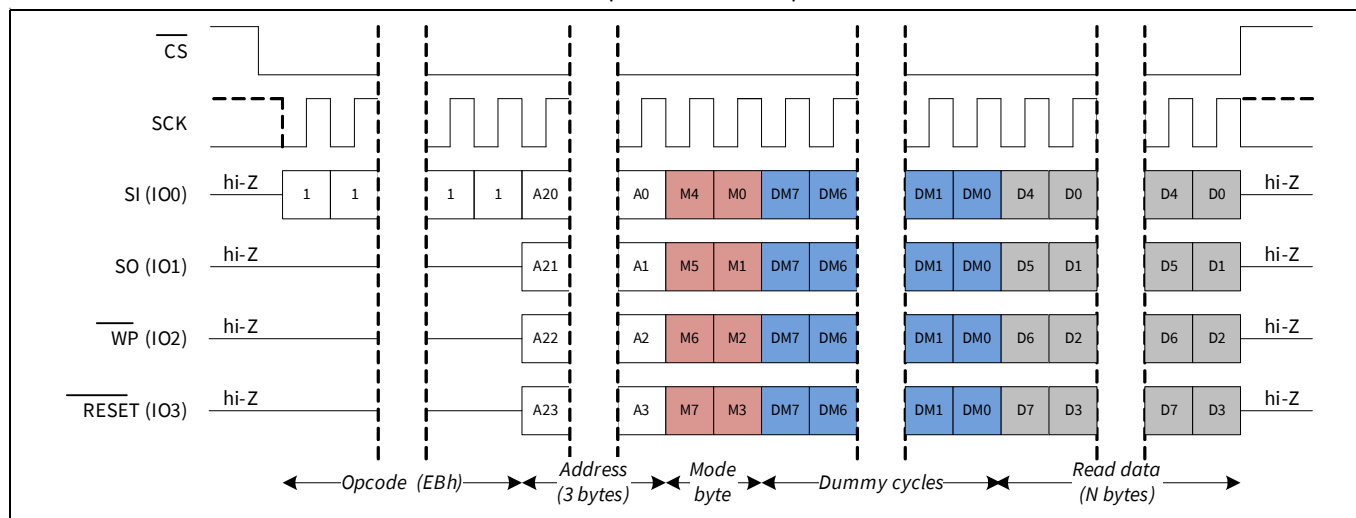


Figure 62 在扩展型 SPI 模式下的四线 I/O 读取 (QIOR)

5.1.5.8 四线 I/O 读取 (QIOR, EBh) — 在 QSPI 模式下

在 QSPI 模式下也可以执行 QIOR 的操作码。器件处于 QSPI 模式时，操作码、地址和模式字节将通过四个 I/O 引脚进行传送。特定地址上的数据 (D7-D0) 在 I/O3, I/O2, I/O1 和 I/O0 引脚上被传送，每个时钟周期传送四位 (分别在 I/O3, I/O2, I/O1 和 I/O0 上以 D7, D6, D5 和 D4 开始移出)。

注意

- 模式位为 !Axh (即 Axh 字节的逻辑 NOT) 时，器件将退出 QIOR 模式。
- 可以通过 CR1 寄存器中的存储器延迟代码位 (MLC0 ~ MLC3) 配置虚拟周期数。

功能说明

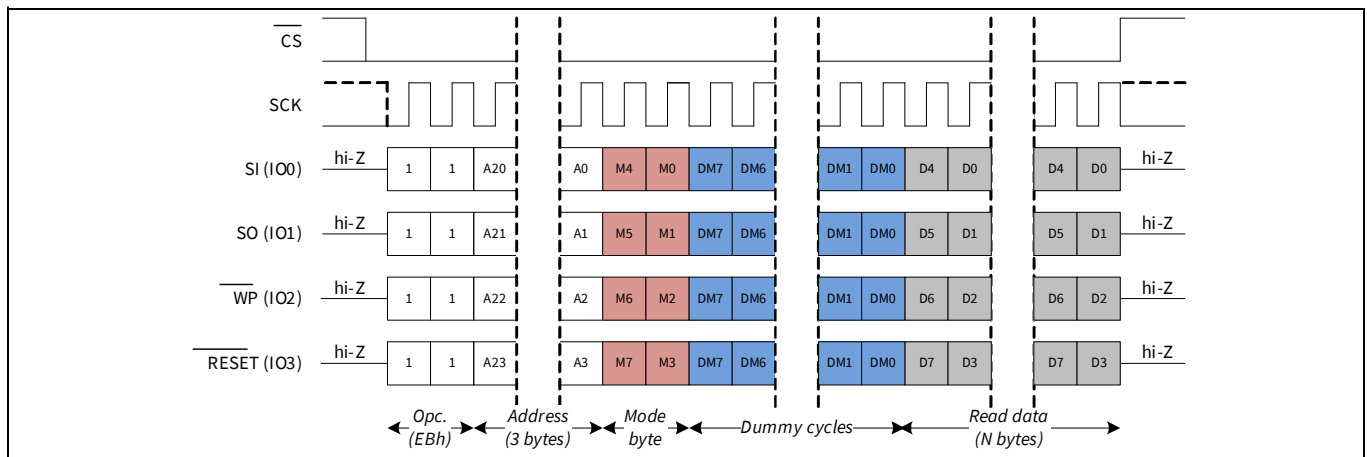


Figure 63 在 QPI 模式下的四线 I/O 读取 (QIOR)

5.1.5.9 DDR 四线 I/O 读取 (DDRQIOR, EDh) — 在扩展型 SPI 模式下

通过使用四个 I/O 信号 SI (I/O0), SO (I/O1), $\overline{WP}$ (I/O2) 和 $\overline{RESET}$ (I/O3), DDRQIOR 指令可以提高带宽。该指令与四线 I/O 读取指令相同,但它还支持在任意时钟边沿上传送地址位、模式位、虚拟位或数据位。该地址可以从存储器阵列中的任意字节位置开始。输出每一个数据字节后,会按顺序自动递增到下一个更高的地址。因此,只要使用一个读取操作码和已给的地址便可以读取整个存储器的空间。当到达最高地址 0x1FFFFFF 时,地址计数器会翻转到起始地址 0x000000,这样允许读取序列继续下去。在虚拟位期间内不应该将 $\overline{CS}$ 驱动为高电平,否则会使这些虚拟位的状态不确定。

通过模式位,可以在第一个指令发送 A5h 模式位格式后使用一系列 QIOR DDR 指令来消除 8 位操作码。通过这种称为“芯片内执行”(Execute-In-Place, XIP)的特性,可大量缩短初始访问时间,从而能够提高 XIP 性能。模式位通过添加或清除第一个字节指令操作码来控制下一个 DDR QIOR 操作的长度。如果模式位为 Axh,那么器件会切换为连续 QIOR DDR 模式,并且能够读取下一个地址(在将 $\overline{CS}$ 驱动为高电平再通过低电平信号激活该引脚后)而不需要 EDh 操作码,从而可以清除指令序列的 8 个周期。否则,在将 $\overline{CS}$ 驱动为高电平再通过低电平信号激活该引脚时,会需要操作码。该操作码不支持 SPI 模式 3。

注意

- 必须将配置寄存器 1 中的 QUAD 位 CR1[1] 设置为 1。
- 模式位为 !A5h (即 A5h 字节的逻辑 NOT) 时,器件将退出 DDRQIOR XIP 模式。
- 可以通过 CR1 寄存器中的存储器延迟代码位 (MLC0 ~ MLC3) 配置虚拟周期数。

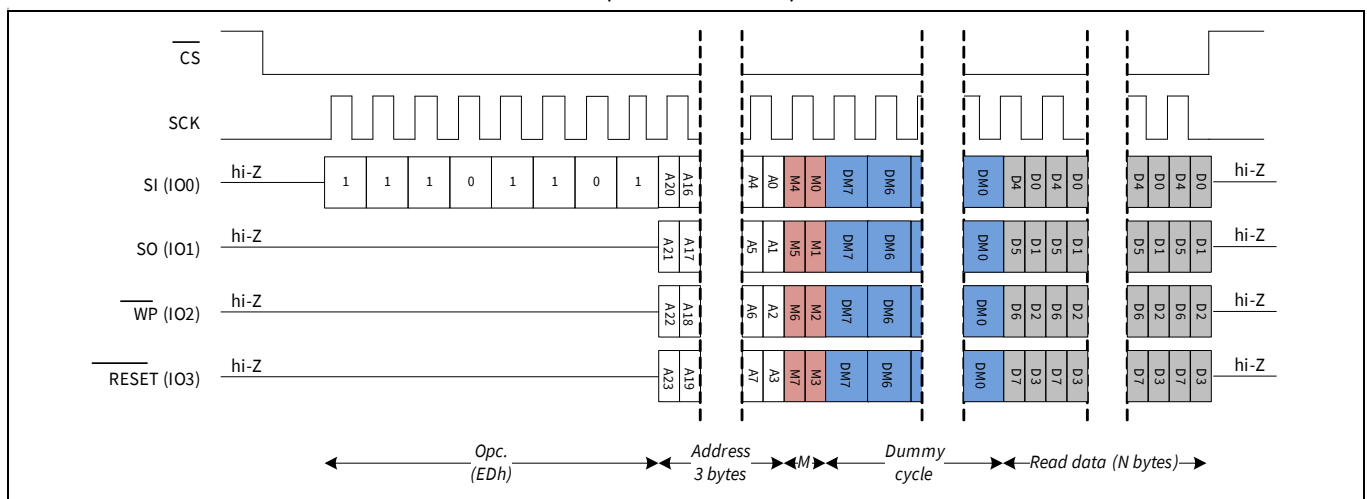


Figure 64 DDR 四线 I/O 读取 (DDRQIOR) — 在扩展型 SPI 模式下

功能说明

5.1.5.10 DDR 四线 I/O 读取 (DDRQIOR, EDh) — 在 QPI 模式下

在 QSPI 模式下也可以执行 DDRQIOR 的操作码。对于 QPI 模式下的 DDR 四线 I/O 读取 (DDRQIOR)，数据会以 DDR 模式在 (I/O0, I/O1, I/O2, I/O3) 引脚上被读取，地址和模式位也会以 DDR 模式在 (I/O0, I/O1, I/O2, I/O3) 上进行发送，而操作码则以 SDR 模式在 (I/O0, I/O1, I/O2, I/O3) 上被传送。

注意

- 模式位为 !A5h (即 A5h 字节的逻辑 NOT) 时，器件将退出 DDRQIOR XIP 模式。
- 可以通过 CR1 寄存器中的存储器延迟代码位 (MLC0 ~ MLC3) 配置虚拟周期数。

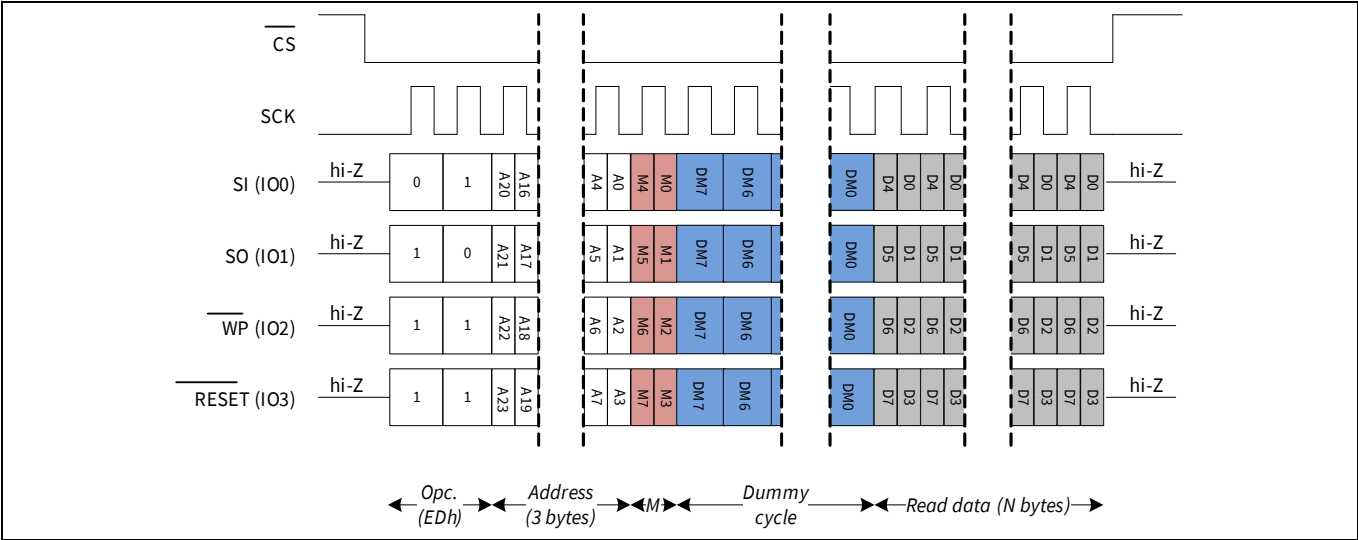


Figure 65 DDR 四线 I/O 读取 (DDRQIOR) — 在 QPI 模式下

功能说明

5.1.6 特殊扇区存储器访问指令

CY15x116QSN 还提供了一个长度为 256 字节的额外特殊扇区存储器空间。该特殊扇区为所存储的内容提供更高的热可靠性。存储在该特殊扇区内的数据可在最多三个标准回流的周期内保持不变。可以使用该特殊扇区来存储 PCB 模块、序列编号的详细信息，等等。特殊扇区存储器访问指令支持 SPI、DPI 和 QPI 等操作模式。

Table 43 特殊扇区存储器访问指令

指令	操作码 (十六进制)	指令说明
SSWR	42	特殊扇区写入 —256 字节特殊扇区存储器的专用写指令
SSRD	4B	特殊扇区读取 —256 字节特殊扇区存储器的专用读指令

Table 44 特殊扇区存储器访问指令的详情

操作码 (十六进制)	地址长度	SPI 总线接口							数据传输		存储器延迟	XIP	最大时钟频率
		SPI	双线数据	四线数据	双线 I/O	四线 I/O	DPI	QPI	SDR	DDR	虚拟周期	芯片内执行	
42	三个字节	支持		不适用			支持	支持	支持	不适用	不适用	不适用	108 MHz
4B	三个字节	支持		不适用			支持	支持	支持	不适用	支持	不适用	108 MHz

5.1.6.1 特殊扇区写操作 (SSWR, 42h)

在 SI 引脚 (SPI 模式下)、或 I/O1 和 I/O0 引脚 (DPI 模式下) 或 I/O3, I/O2, I/O1 和 I/O0 引脚 (QPI 模式下) 上传送 SSWR 指令操作码和写数据时，可以执行特殊扇区写操作。可通过突发写入模式来写入连续的地址，而不需要发出新的 SSWR 指令。如果只写入一个字节，发送 D0 (数据的 LSb) 后必须将 $\overline{CS}$ 引脚置为高电平。如果要写入多个字节，则可以使 $\overline{CS}$ 引脚保持低电平状态，地址会自动递增。输入引脚上的数据字节被写入到连续地址内。一旦内部地址计数器自动递增至 0xFF， $\overline{CS}$ 将切换为高电平，以便终止进行中的 SSWR 操作。优先写入数据的最高有效位。 $\overline{CS}$ 的边沿上升会终止写操作。

注意：

- 3 字节地址包含扇区地址的低 8 位 (A7–A0)。3 字节地址的其余 16 个最高有效位应设置为 ‘0’。
- 只有通过将 SR1 中的写入使能锁存位 (WEL) 设置为 ‘1’ 来使能写操作时，器件才能执行 SSWR 指令。
- 终止 SSWR 指令后 (即在 $\overline{CS}$ 的上升沿上)，SR1 中的 WEL 位 (SR1[1]) 自动被清除为 0。

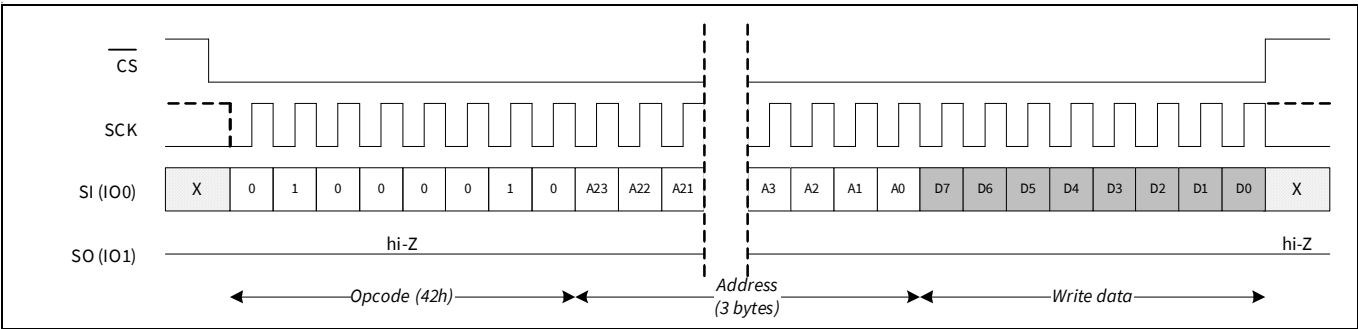


Figure 66 SPI 模式下的特殊扇区写入 (SSWR) (WREN 未显示)

功能说明

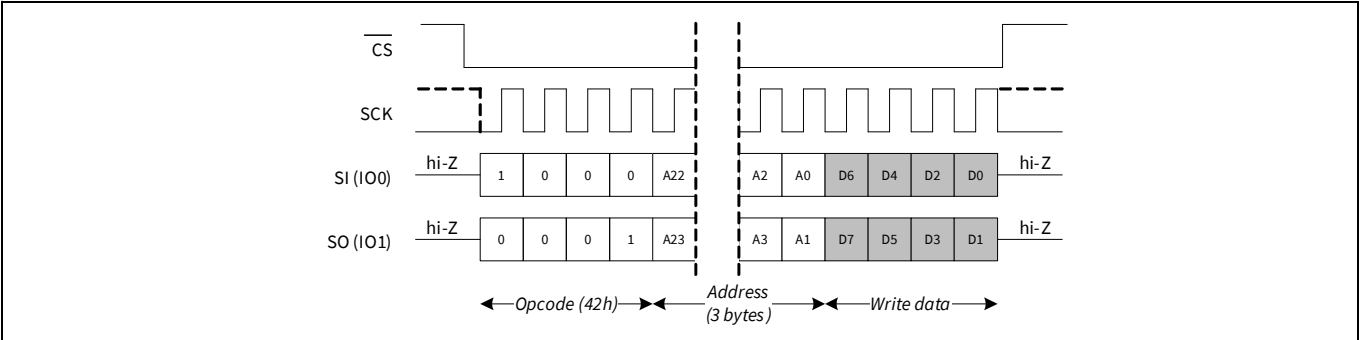


Figure 67 DPI 模式下的特殊扇区写入 (SSWR) (WREN 未显示)

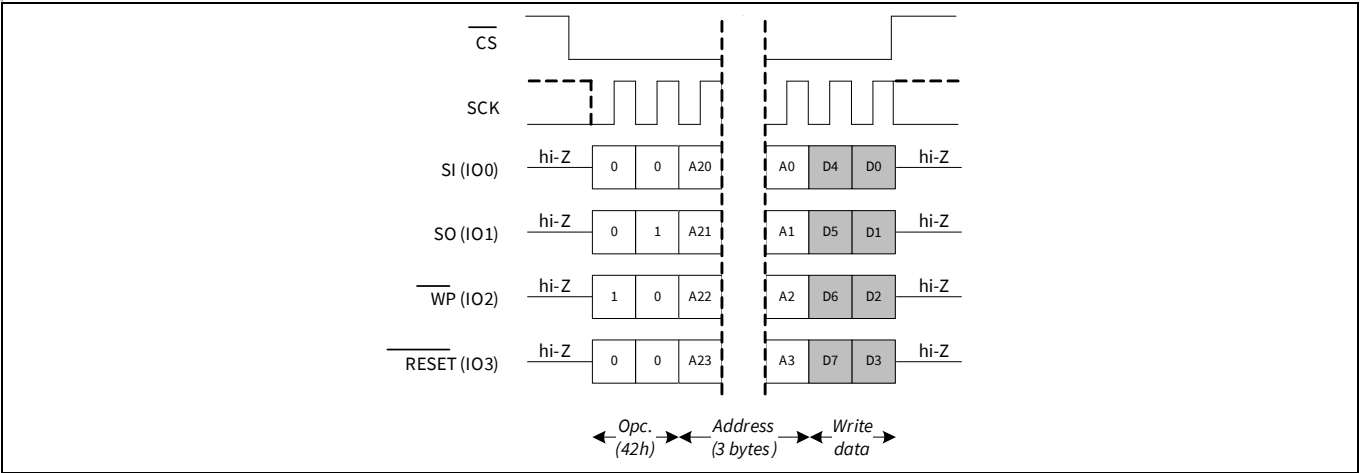


Figure 68 QPI 模式下的特殊扇区写入 (SSWR) (WREN 未显示)

5.1.6.2 特殊扇区读取 (SSRD, 4Bh)

通过 SSRD 指令，可以在已给的地址上读取存储器内容。该地址可以从 256 字节的特殊扇区存储器中的任意字节位置开始，具体取决于 3 字节地址。输出每一个数据字节后，会按顺序自动递增到下一个更高的地址。因此，只要使用一个特殊扇区读取操作码和已给的地址便可以读取整个 256 字节特殊扇区的内容。一旦内部地址计数器自动递增到 0xFF，并且主机仍在 SCK 边沿上提供时钟，那么器件会返回未定义的数据字节。

注意

- 3 字节地址包含扇区地址的低 8 位 (A7–A0)。3 字节地址的其余 16 个最高有效位应设置为 0。
- 可以通过 CR1 寄存器中的存储器延迟代码位 (MLC0 ~ MLC3) 配置虚拟周期数。
- 特殊扇区 F-RAM 保证用户数据可在多达三个标准回流焊的周期内保持不变。

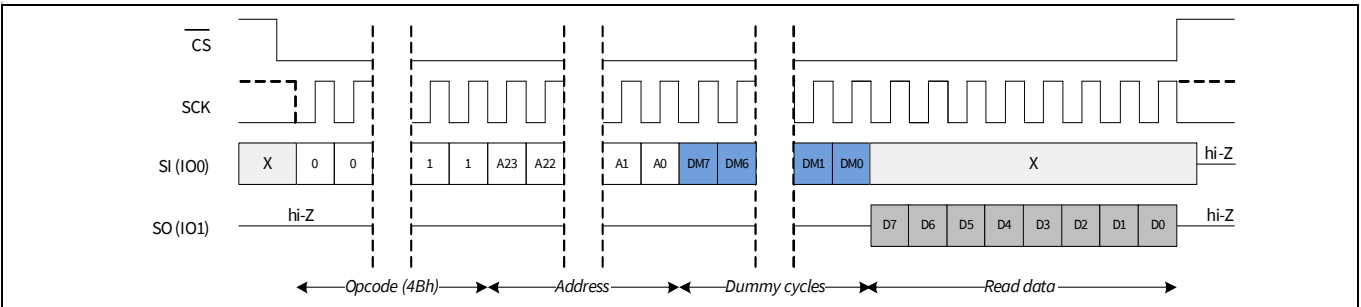


Figure 69 SPI 模式下的特殊扇区读取 (SSRD)

功能说明

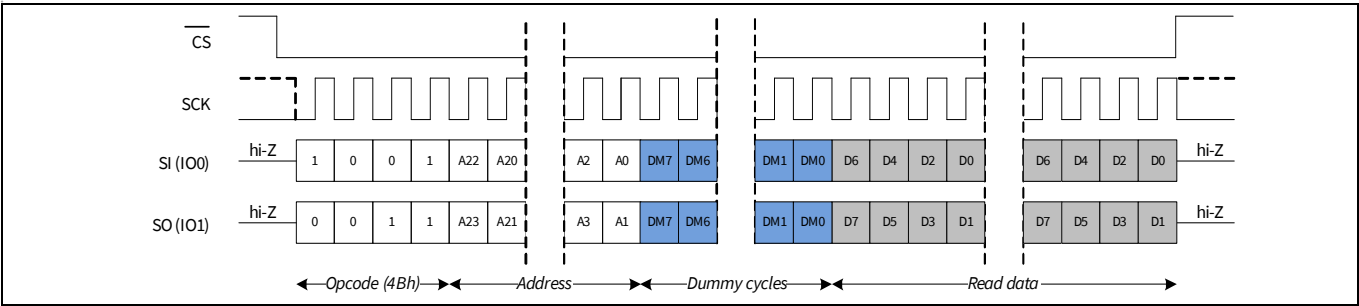


Figure 70 DPI 模式下的特殊扇区读取 (SSRD)

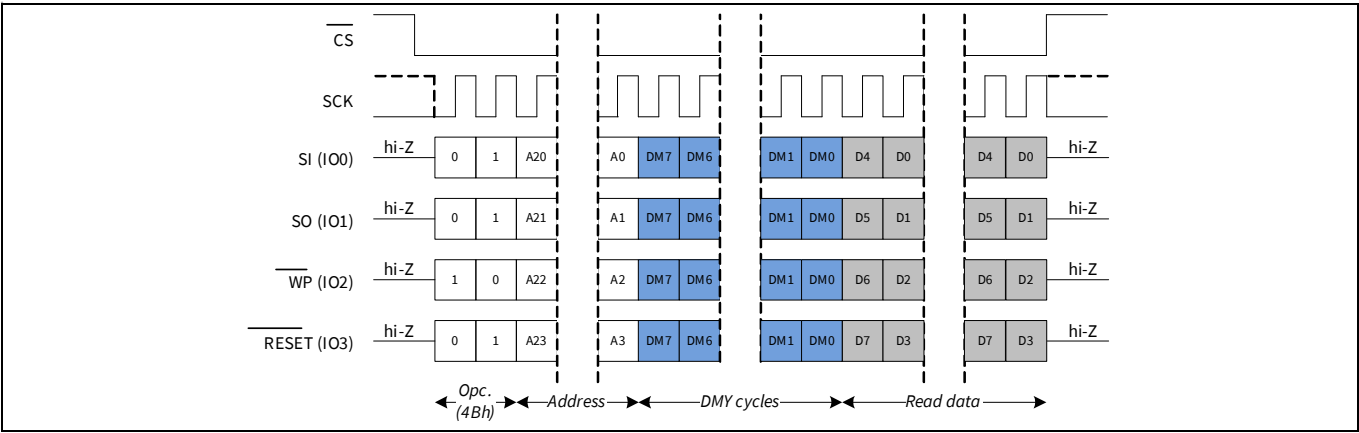


Figure 71 QPI 模式下的特殊扇区读取 (SSRD)

5.1.7 纠错码 (ECC) 和循环冗余校验指令

5.1.7.1 纠错码 (ECC)

CY15x116QSN 提供了一个带有 3 位错误检测功能的内置硬件纠错码 (ECC)，可以报告 8 字节 (64 位) 单元数据。由于在写周期 (刷新周期) 后都会进行 F-RAM 读取操作，因此，所检测到的单比特错误会自动得到纠正，并在刷新周期内被重新写入到 F-RAM 阵列中。CY15x116QSN 不会报告单比特错误检测，因为相同数据单元上的后续 ECC 校验不会产生同样的单比特错误。CY15x116QSN ECC 始终被使能，并且在运行期间将发生以下情况：

- 每当在 F-RAM 读取操作过程中检测到 3 位错误时，CY15x116QSN 会将 ECC 状态寄存器 (ECCSR) 中的“3BD”标志位设置为 1 (ECCSR 在 POR、复位或 CLECC 事件发生后被清除)，并且捕获 4 字节 ADDRTRAP 寄存器中的相应单元数据地址。
- ADDRTRAP 寄存器的前 3 个最低有效字节将保持第一个 3 位错误 (POR、复位事件或 CLECC 发生后在 8 字节单元数据中检测到) 的 3 字节单元数据地址。后续发生的任何 3 位错误都不会使最新的数据单元地址覆盖 ADDRTRAP 寄存器的内容。
- CY15x116QSN 提供一个 2 字节 ECC 检测计数 (ECCDC) 寄存器，每次检测到 3 位错误时该寄存器都会递增 1。在 POR 或任何复位事件发生后，或在执行 CLECC 指令后，ECCDC 寄存器都被清除。
- 用户可以通过读取 ADDRTRAP 寄存器中的非零值 (在地址 0x00000 上检测到 3 位错误的位置除外)、或者读取 ECCSR 寄存器中的“3BD”标志位、或读取 ECCDC 寄存器中的非零值，来确定是否检测到 3 位错误。
- 此外，CY15x116QSN 还支持 ECCRD (19h) 指令。通过将 ECCSR 寄存器中单元地址上 (与 ECCRD 指令一起发送) 的“3BD”错误标志设置为 1，该指令可以在 8 位单元数据中返回 3 位错误检测状态。

256 字节特殊扇区存储器、状态和配置寄存器不支持 ECC。

5.1.7.2 ECC 状态寄存器

ECC 的状态通过 ECC 状态寄存器 (ECCSR) 表示。ECCSR 的详细信息如 Table 46 中所示。只有使用 RDAR 指令 (如第 43 页上的“[读取任何寄存器 \(RDAR, 65h\)](#)”一节中所述) 时，才能读取 ECCSR 寄存器的内容。ECCRD 指令返回单元数据的 ECCSR 状态。数据单元指的是用于计算 ECC 的字节数量。CY15x116QSN 有 8 字节的单元数据。

Table 45 ECC 状态寄存器

ECCSR[7]	ECCSR[6]	ECCSR[5]	ECCSR[4]	ECCSR[3]	ECCSR[2]	ECCSR[1]	ECCSR[0]
RFU (0)	RFU (0)	RFU (0)	3BD (0)	RFU (0)	RFU (0)	RFU (0)	RFU (0)

Table 46 EEC 状态寄存器 — 仅适用于易失性寄存器

位	位名	位功能	类型	读 / 写	说明
ECCSR[7]	RFU		保留 (0)		保留供将来使用
ECCSR[6]	RFU		保留 (0)		保留供将来使用
ECCSR[5]	RFU		保留 (0)		保留供将来使用
ECCSR[4]	3BD	3 位 ECC 检测	V	R	1 = 执行最后 ECCSR 清除指令 (CLECC) 后发生了 3 位错误检测 0 = 执行最后 ECCSR 清除指令 (CLECC) 后尚未发生 3 位错误检测
ECCSR[3]	RFU		保留 (0)		保留供将来使用
ECCSR[2]	RFU		保留 (0)		保留供将来使用
ECCSR[1]	RFU		保留 (0)		保留供将来使用
ECCSR[0]	RFU		保留 (0)		保留供将来使用

V - 易失性

功能说明

5.1.7.2.1 3 位 ECC 检测 (3BD) ECCSR [4]

该位表示最后一次清除 ECC 状态寄存器后, 在读取数据期间发生了一次 3 位 ECC 检测。CLECC 指令将 3BD 位复位为 0。

5.1.7.3 ECC 检测计数器 (ECCDC)

ECC 检测计数器 (ECCDC) 寄存器是一个 2 字节易失性寄存器, 用于存储最后 POR、任何复位事件或 CLECC 指令发生后在存储器读取期间发生的 3 位错误检测次数。通过使用 RDAR 指令, 可以读取 ECCDC 寄存器的内容, 如第 43 页上的 "读取任何寄存器 (RDAR, 65h)" 一节中所述。

注意

- ECCDC 计数到 0xFFFF 时, ECCDC 会停止递增。
- ECCDC 在深度掉电 (DPD) 模式下会丢失其保存的内容; 退出 DPD 模式时会返回 0x0000。

Table 47 ECC 检测计数器寄存器 (ECCDC)

位	名称	功能	类型	读 / 写	默认状态	说明
15:0	ECCDC	ECC 3 位错误检测计数	V	R	0x0000	最后 POR 或任何复位事件后 3 位 ECC 检测的总计数。CLECC 指令不会清除该寄存器。

V - 易失性

5.1.7.4 地址陷阱寄存器 (ADDTRAP)

地址陷阱寄存器 (ADDTRAP) 是一个 4 字节易失性寄存器, 用于存储读取操作期间发生 3 位错误检测的 ECC 单元数据地址。ADDTRAP 寄存器存储最后清除 ECC 指令 (CLECC)、POR 或任何复位事件后检测到 3 位错误的第一个 ECC 数据单元的地址。检测到 3 位错误的后续数据单元的地址不被捕获到 ADDTRAP 寄存器内。在这种情况下, 只有 ECCDC 计数递增。通过使用 RDAR 指令, 可以读取 ADDTRAP 寄存器的内容, 如第 43 页上的 "读取任何寄存器 (RDAR, 65h)" 一节中所述。

注意: ADDTRAP 寄存器在深度掉电 (DPD) 模式下会失去其内容; 退出 DPD 模式时会返回 0x00000000。

Table 48 地址陷阱寄存器

位	位名	功能	类型	读 / 写	默认状态	说明
31:0	ADDTRAP	存储 ECC 地址	V	R	0x00000000	存储发生 3 位 ECC 检测的单元数据地址

V - 易失性

5.1.7.5 ECC 指令

下面内容说明了 CY15x116QSNECC 指令。

Table 49 ECC 指令

指令 (十六进制)	操作码	指令说明
ECCRD	19	ECC 状态读取 — 确定已寻址的单元数据的 ECC 状态
CLECC	1B	清除 ECC 寄存器 — ECC 标志和地址陷阱寄存器

Table 50 ECC 指令详情

操作码 (十六进制)	地址长度	SPI 总线接口							数据传输		存储器延迟	XIP	最大时钟频率
		SPI	双线数据	四线数据	双线 I/O	四线 I/O	DPI	QPI	SDR	DDR	虚拟周期	芯片内执行	
19	三个字节	支持	不适用				支持	支持	支持	不适用	支持	不适用	108 MHz
1B	不适用	支持	不适用				支持	支持	支持	不适用	不适用	不适用	108 MHz

功能说明

5.1.7.6 ECC 状态读取 (ECCRD, 19h)

ECCRD 指令用于确定已寻址单元数据的 3 位错误检测状态。要想执行该操作，将 $\overline{CS}$ 下拉为低电平状态，并且在发送 ECCRD 指令后再发送 ECC 数据单元地址 (其中，该地址的 3 个最低有效位 (LSb) 应设置为 0)。即使该地址的最低有效位未被置“0”，它们也会被内部忽略，并且数据单元的起始地址将由剩余的最高有效位决定。

这些地址字节后面是虚拟周期数 (由用于存储器读取的读取延迟值决定)。8 位 ECC 状态通过输出线移出。读取 8 位 ECC 状态后，必须将 $\overline{CS}$ 上拉为高电平。

注意

- 如果读取 8 位 ECC 状态后 CS 仍保持低电平状态，则后续的数据将为未确定。需要发送新 ECCRD 指令和下一个单元地址，以便能够读取下一个数据单元的 ECC 状态。
- 可以通过 CR1 寄存器中的存储器延迟代码位 (MLC0 ~ MLC3) 配置虚拟周期数。

Table 51 单元数据 ECC 状态字节详情

位	名称	功能	读 / 写	默认状态	说明
7	RFU	保留		0	保留供将来使用
6	RFU	保留		0	保留供将来使用
5	RFU	保留		0	保留供将来使用
4	RFU	保留		0	保留供将来使用
3	EECC3D	ECC 单元中的 3 位错误	R	0	1 = ECC 单元中检测到的双比特错误 0 = 没有错误
2	RFU	保留		0	保留供将来使用
1	RFU	保留		0	保留供将来使用
0	RFU	保留		0	保留供将来使用

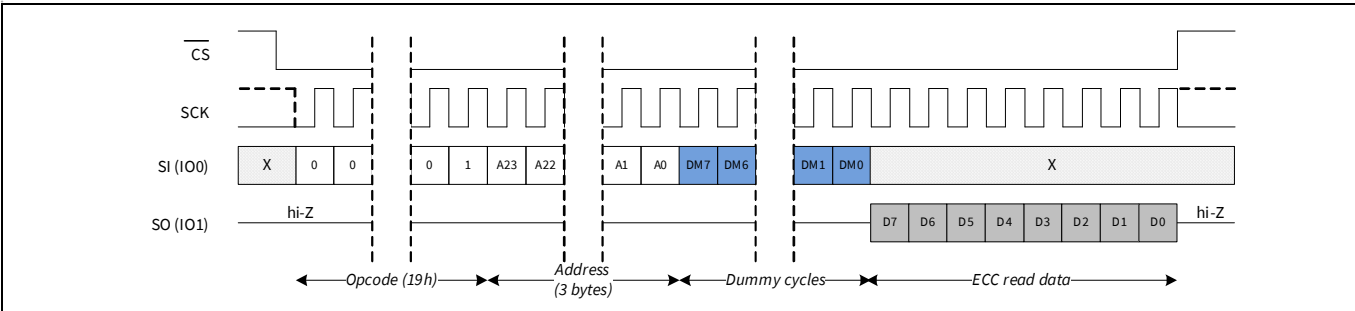


Figure 72 SPI 模式下的 ECC 读取 (ECCRD)

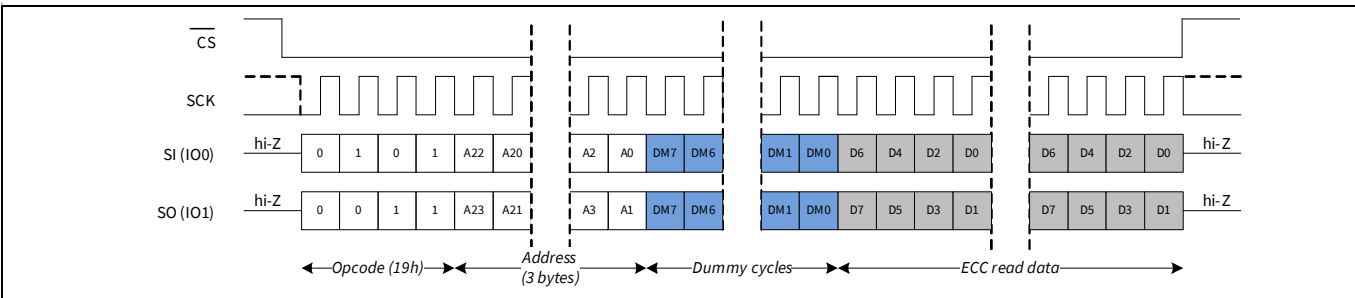


Figure 73 DPI 模式下的 ECC 读取 (ECCRD)

功能说明

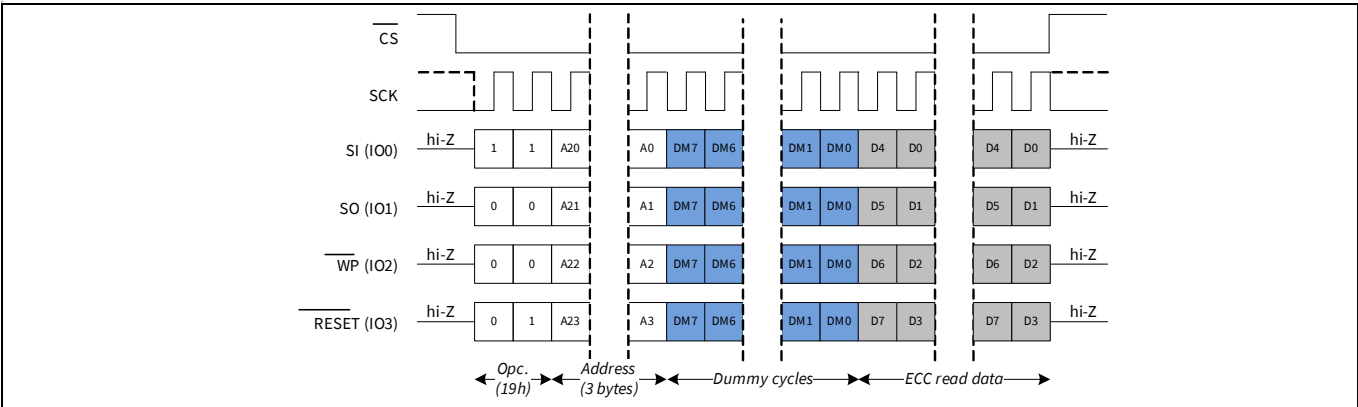


Figure 74 QPI 模式下的 ECC 读取 (ECCRD)

5.1.7.7 清除 ECC (CLECC, 1Bh)

CLECC 指令清除所有 ECC 标志、ADDTRAP 和 ECCDC 寄存器。执行 CLECC 指令前，不需要设置 WEL 位。

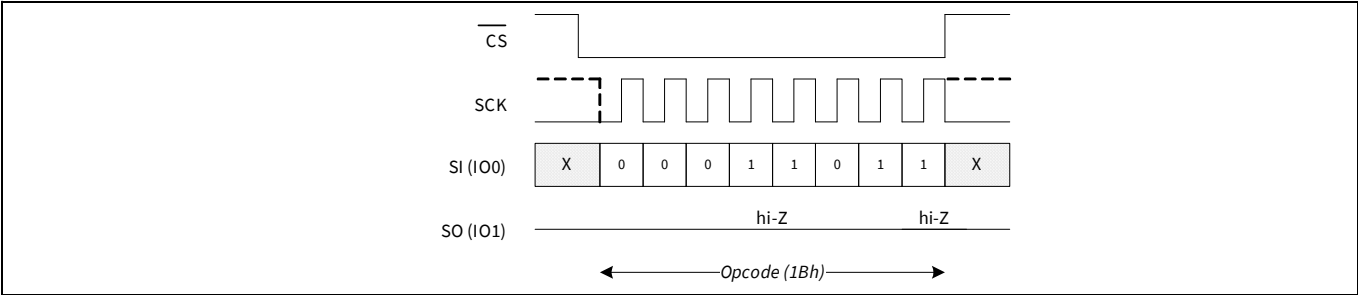


Figure 75 SPI 模式下的清除 ECC (CLECC)

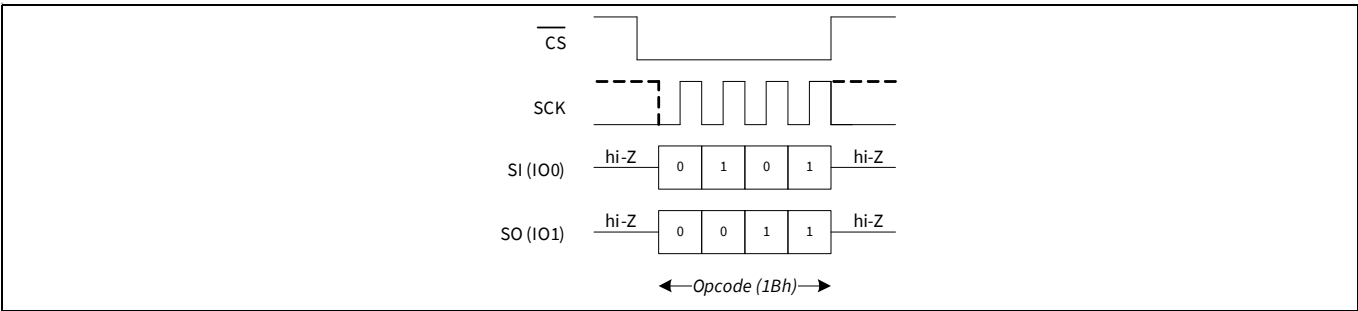


Figure 76 DPI 模式下的清除 ECC (CLECC)

功能说明

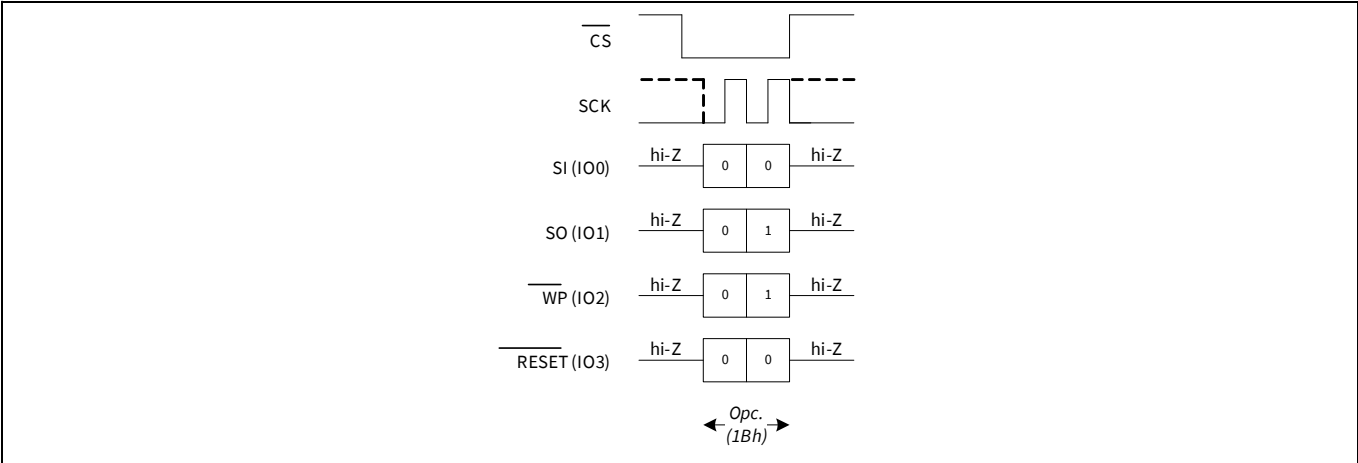


Figure 77 QPI 模式下的清除 ECC (CLECC)

5.1.7.8 循环冗余校验 (CRC)

CY15x116QSN 提供了一个内置循环冗余校验 (CRC) 引擎，用于计算存储器阵列中存储数据的校验序列。256 字节特别扇区存储器、状态和配置寄存器不支持 CRC。

CY15x116QSN 支持以下 CRC 操作码。

Table 52 CRC 访问指令

指令	操作码 (十六进制)	指令说明
CRCC	5B	CRC 计算 — 在用户定义的地址范围内实现 CRC 计算
EPCS	75	CRC 挂起 — 中断 CRCC 操作，并允许其他访问
EPCR1	7A	CRC 恢复 — 恢复正在挂起的 CRCC 操作

Table 53 CRC 访问指令的详细信息

操作码 (十六进制)	地址长度	SPI 总线接口						数据传输		存储器延迟	XIP	最大时钟频率	
		SPI	双线数据	四线数据	双线 I/O	四线 I/O	DPI	QPI	SDR	DDR	虚拟周期		芯片内执行
5B	不适用	支持	不适用				支持	支持	支持	不适用	不适用	不适用	108 MHz
75	不适用	支持	不适用				支持	支持	支持	不适用	不适用	不适用	108 MHz
7A	不适用	支持	不适用				支持	支持	支持	不适用	不适用	不适用	108 MHz

5.1.7.9 数据 CRC 计算 (CRCC, 5Bh)

通过 CRCC 指令序列，CY15x116QSN 可以在用户定义的地址范围内计算循环冗余校验 (CRC) 值。使能数据 CRC 的 CY15x116QSN 器件将为每个数据块计算固定长度的二进制序列 (也称为 CRC 校验和)，然后将数据和其 CRC 校验和发送给主机。收到数据块时，主机将重新计算 CRC 校验和。如果新计算的 CRC 校验和与原始校验和 (和数据一起发送) 不匹配，则确定数据块有错误，主机可能采取纠正措施，例如，要求重新发送数据块。

CRCC 计算过程会计算出从起始地址到结束地址中所包含数据的校验值。

依次发送操作码、起始地址和结束地址，便开始执行 CRC 计算指令。结束地址被锁存后，必须将 $\overline{CS}$ 驱动为高电平。随后，内部 CRC 计算过程会开始计算从起始地址到结束地址中所包含数据的校验值。如果发送地

功能说明

址的最后一位后， $\overline{CS}$ 不被驱动为高电平，则不会执行 CRC 计算操作。CRCC 指令不会检查 WEL 的状态。然而，如果执行 CRC 指令前将 WEL 设置为 1，那么完成该指令后，WEL 将被清除为 0。

结束地址 (EA) 要至少比起始地址 (SA) 高一个 32 位对齐字。如果 $EA < SA + 3$ ，CRC 计算操作将被中止，并且器件将返回到待机模式。CRC 中止 (CRCA) 位被设置 ($SR2[3] = 1$)，表示中止状态，并且 CRC 寄存器 (CRCR) 将保存未确定数据。

进行 CRC 计算过程中，CY15x116QSN 将 SR1 的 WIP 位 ($SR1[0]$) 设置为 1。用户可以轮询 WIP 状态，从而确定进行中的 CRCC 操作是否完成以及器件是否准备好接收访问。进行 CRC 计算期间，WIP 位为 1。该操作完成后，WIP 位被清除为 0。CRC 寄存器 (CRCR) 保存 CRC 计算过程的结果。该操作完成后，WIP 位被清除为 0。CRC 寄存器 (CRCR) 保存 CRC 计算过程的结果，该过程计算出从起始地址到结束地址中所包含数据的校验值。CRC 寄存器的详细内容如 Table 54 中所示。通过使用读取任何寄存器 (RDAR) 指令读取 CRC 寄存器，可以读取 CRC 校验值的位 0-31，如第 43 页上的 "读取任何寄存器 (RDAR, 65h)" 中所述。读取 CRC 寄存器，从而可以获得 CRC 校验值的位 0-31。

每次启动 CRC 计算操作时，CRC 寄存器位都被初始化为全 0 ($0x00000000$)。POR 事件或任何复位事件都会使 CRC 寄存器的值全部初始化为 0。

通过使用 CRC 挂起指令 (EPCS, B0h) 暂停校验值计算，可以读取存储器阵列或寄存器中的数据。在挂起状态期间，状态寄存器 2 中的 CRC 挂起 (CRCS) 状态位被置位 ($SR2[4] = 1$)。计算操作被挂起时，主机可以读取状态寄存器和存储阵列中的数据，并且能够使用 CRC 恢复指令 (EPCR, 30h) 来恢复 CRC 计算操作。CY15x116QSN 需要 t_{CRCC} 的时间对 SA 和 EA 之间所包含的数据 (包括在 SA 和 EA 上的数据) 进行 CRC 校验和计算。

32 位 CRC (CRC-32C) 的多项式 ($0x1EDC6F41$) 的定义如下：

$32X + 28X + 27X + 26X + 25X + 23X + 22X + 20X + 19X + 18X + 14X + 13X + 11X + 10X + 9X + 8X + 6X + 1X$

注意：4 字节存储器数据被内部读取为 {data[7:0], data[15:8], data[23:16], data[31:24]} 并被分配到 CRC[31:0]，以进行 CRC 计算。

Table 54 CRC 寄存器说明

位	名称	功能	默认状态	说明
31:0	CRCR	校验 CRC 值	0x00000000	易失性寄存器，用于存储 CRC 计算 (CRCC 指令) 结束后得到的 CRC 校验和值。

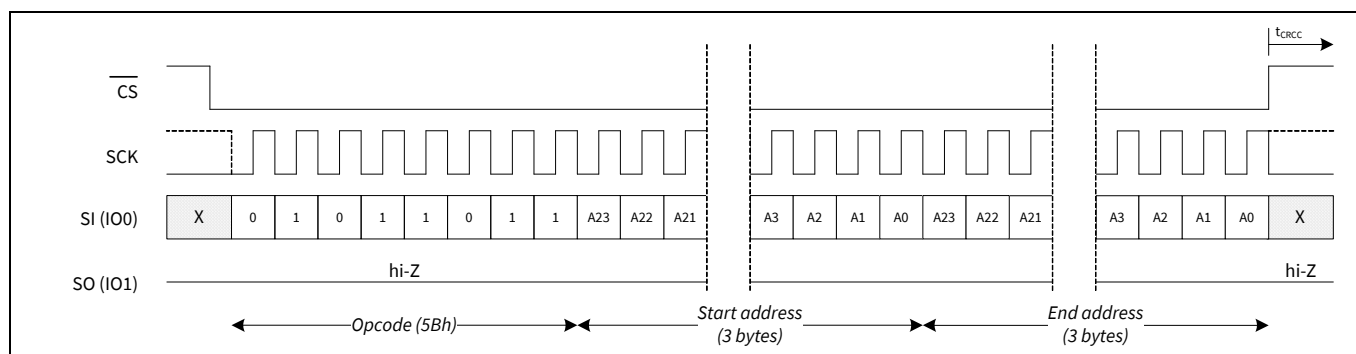


Figure 78 SPI 模式下的 CRC 计算 (CRCC)

功能说明

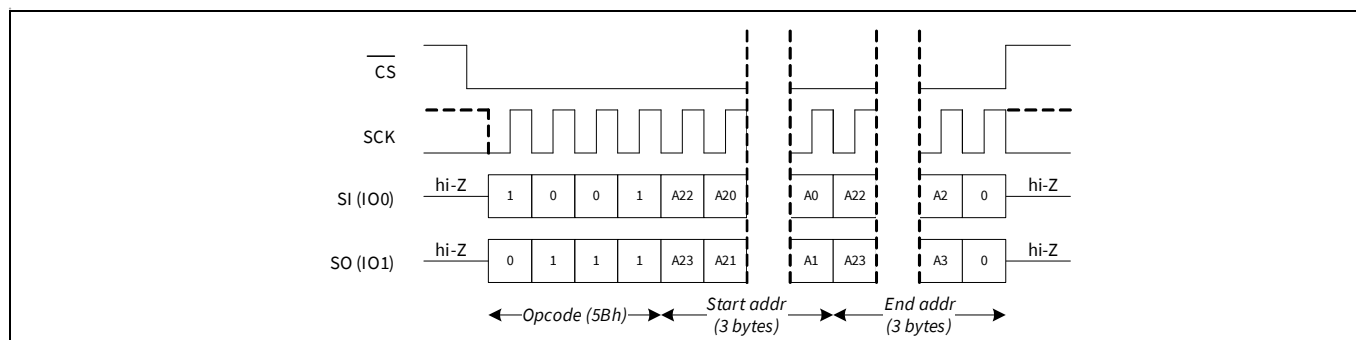


Figure 79 DPI 模式下的 CRC 计算 (CRCC)

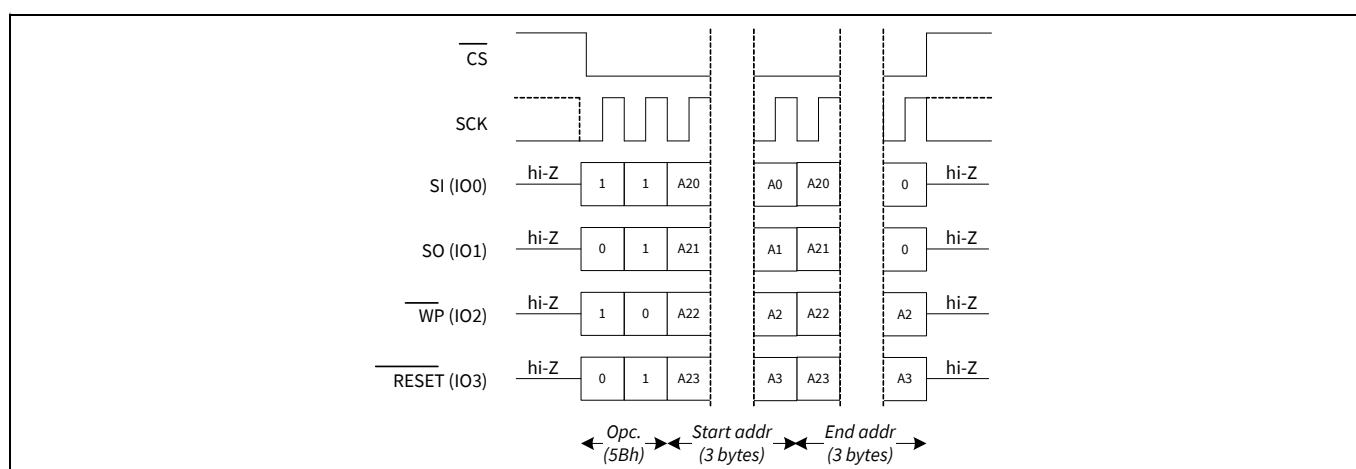


Figure 80 QPI 模式下的 CRC 计算 (CRCC)

5.1.7.10 CRC 挂起 (EPCS, 75h)

通过使用 EPCS 指令，系统可以中断正在进行的 CRCC 操作，并在 CRC 操作挂起期间进行其它访问。在 CRC 挂起状态下可以执行的指令有：READ, RDSR1, RDSR2, FAST_READ, DDRFR, ECCRD, CLECC, RDCR1, DOR, RDCR2, RDCR4, SSRD, RDCR5, RDAR, RSTEN, QOR, EPCR, RST, RDID, DIOR, RDSN, QIOR 以及 DDRQIOR。

只有在进行 CRC 计算操作过程中，CRC 挂起指令才有效。通过检查状态寄存器 2 (SR2) 可以确定 CRCC 操作被挂起还是已完成。CRC 状态位表示状态寄存器 1 中的 WIP 状态位变为 0 时，CRCC 操作被挂起还是已完成。EPCS 需要 t_{CRCS} 的时间来处理 CRC 挂起操作，并使 WIP 位保持为 1。如果在完全处理 EPCS 指令前完成了 CRCC 计算，则 SR2 中的 CRCS 位 (SR2 [4]) 不会被置 1，表示尚未执行 EPCS 指令。

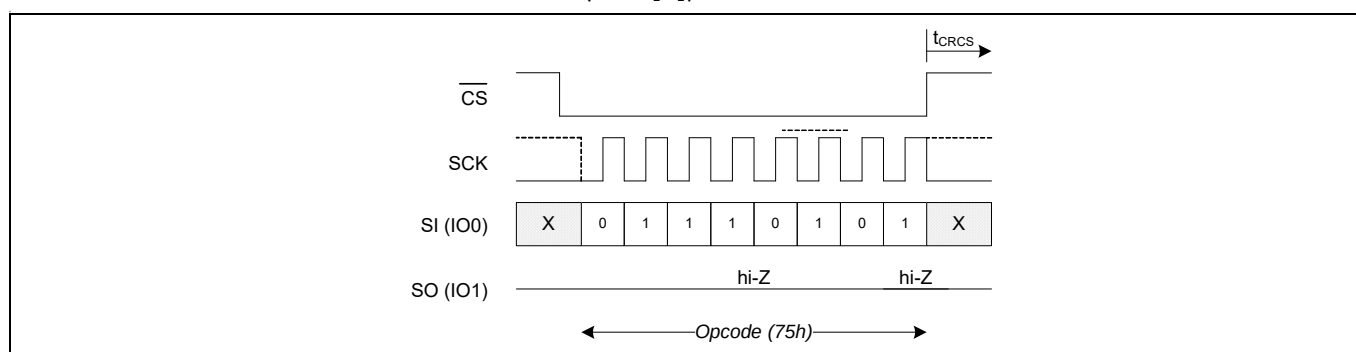


Figure 81 SPI 模式下的 CRC 挂起 (EPCS)

功能说明

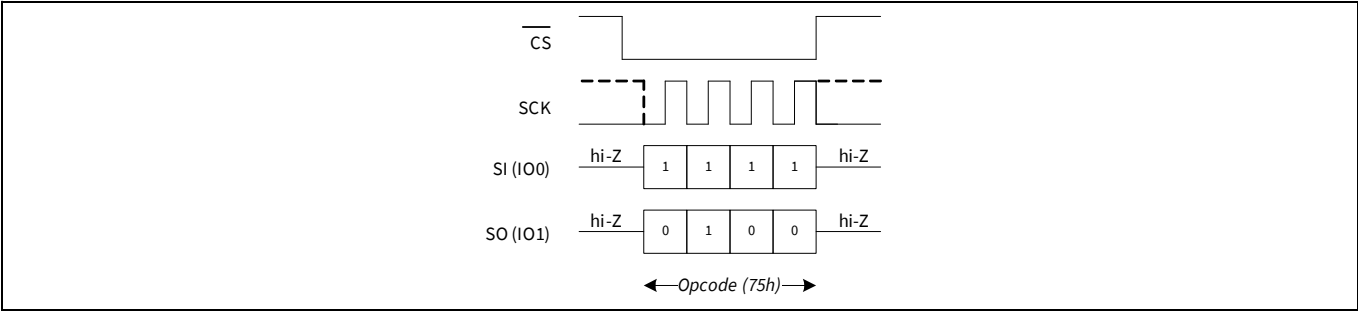


Figure 82 DPI 模式下的 CRC 挂起 (EPCS)

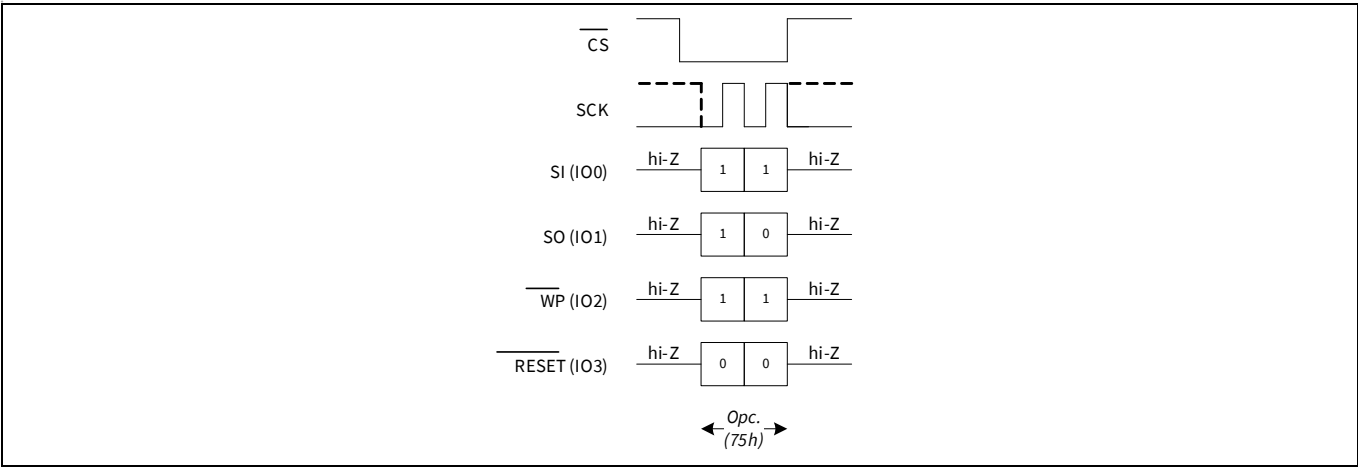


Figure 83 QPI 模式下的 CRC 挂起 (EPCS)

5.1.7.11 CRC 恢复 (EPCR, 7Ah)

通过使用 EPCR 指令可以恢复正在挂起的 CRCC 操作。发送 CRC 恢复指令后, WIP 位被置 1。可以根据需要频繁中断 CRCC 操作。仅在 SR2 的 CRCS 位 (SR2[4]) 被设置为 1 时, 才能通过 EPCR 指令恢复被挂起的 CRCC 操作。否则, 将忽略 EPCR 指令。发送 EPCR 指令后, WIP 位被设置为 1。可以根据需要频繁中断和恢复 CRCC 操作。

EPCR 需要 t_{CRCR} 的时间来处理该指令并恢复剩余数据字节的 CRC 计算, 直到结束地址 (EA) 为止。

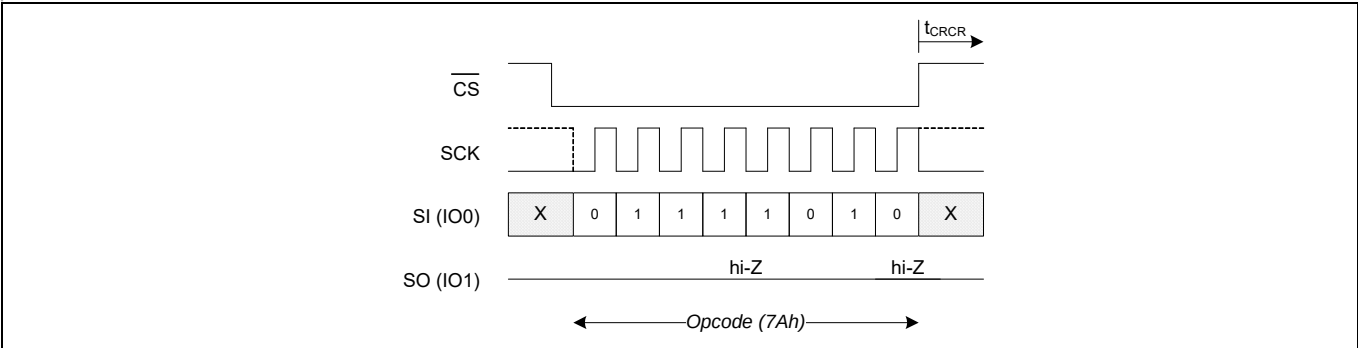


Figure 84 SPI 模式下的 CRC 恢复 (EPCR)

功能说明

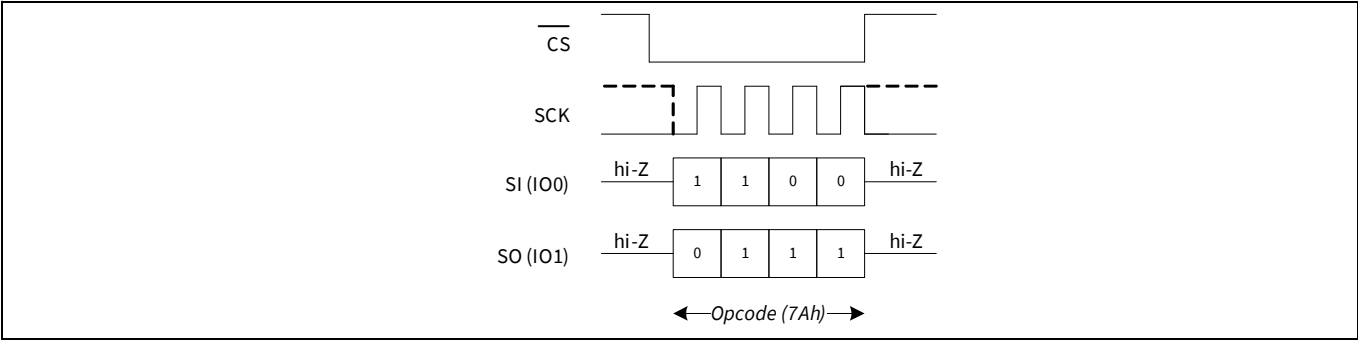


Figure 85 DPI 模式下的 CRC 恢复 (EPCR)

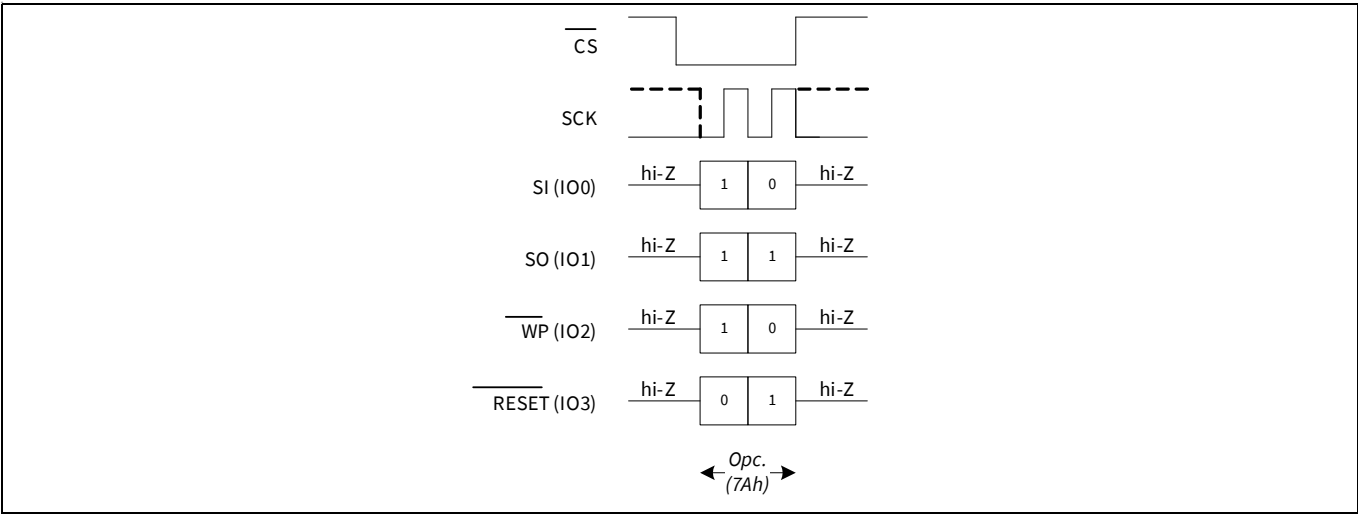


Figure 86 QPI 模式下的 CRC 恢复 (EPCR)

功能说明

5.1.8 标识和序列号指令

CY15x116QSN 器件提供三种不同的标识 (包括器件 ID 和唯一 ID) 特性, 它们是 8 字节只读寄存器和 8 字节可写序列号寄存器。每个寄存器的具体内容将在下面各节详细介绍。

5.1.8.1 读取器件 ID (RDID, 9Fh)

可以询问 CY15x116QSN 器件的制造商、产品标识和芯片版本。通过使用 RDID 操作码 9Fh, 用户可以读取 8 字节长的制造商 ID 和产品 ID, 这两个 ID 都是只读字节。器件 ID 字段如器件 ID 字段寄存器表中所示。相应器件编号的器件 ID 如第 101 页上的 "订购信息" 所示。

注意:

- 所示的虚拟周期是通过 CR5 中寄存器延迟代码位 (RLC0, RLC1) 配置的选项。
- RDID 数据优先 — LSb 最先移出, MSb 最后移出。RDID 指令不支持回卷。发送第八字节后, 如果主机继续提供时钟, 器件将返回未定义的数据字节。

Table 55 器件 ID 字段

位 (位数)	63–32 (32 位)	31–21 (11 位)	20–8 (13 位)	7–3 (5 位)	2–0 (3 位)
说明	00000000000000000000 00000000000000 (保留)	00000110100 (制造商 ID)	产品 ID	容量 ID	芯片版本

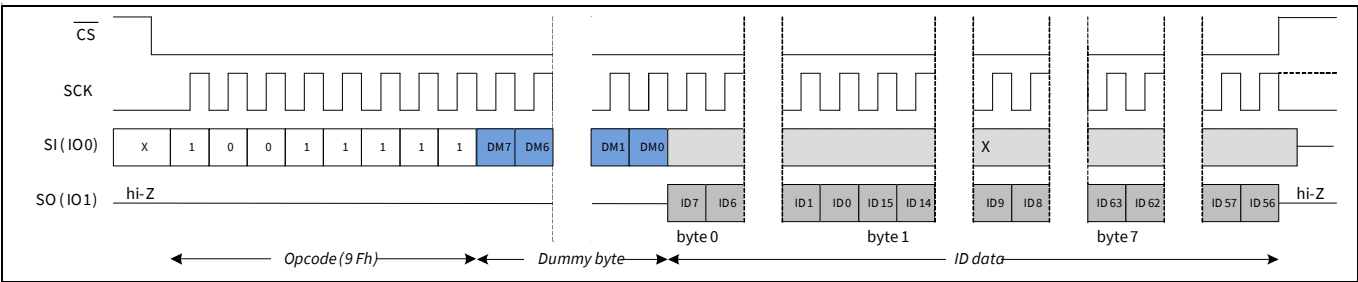


Figure 87 SPI 模式下的读取器件 ID (RDID)

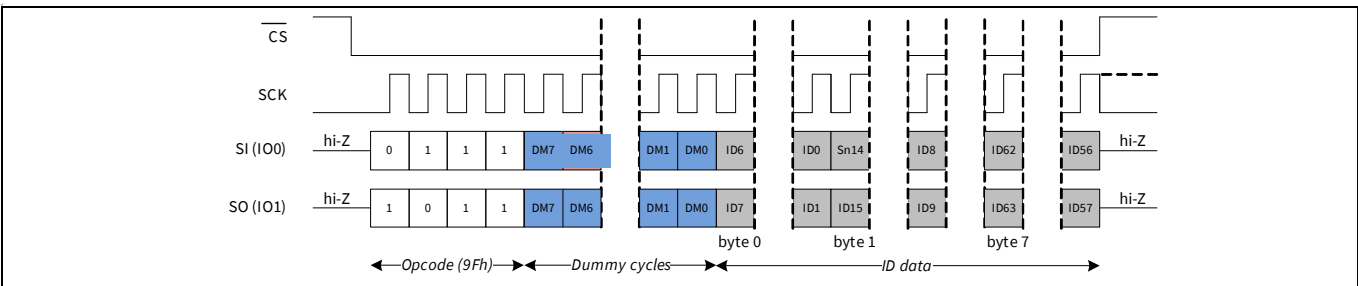


Figure 88 DPI 模式下的读取器件 ID (RDID)

功能说明

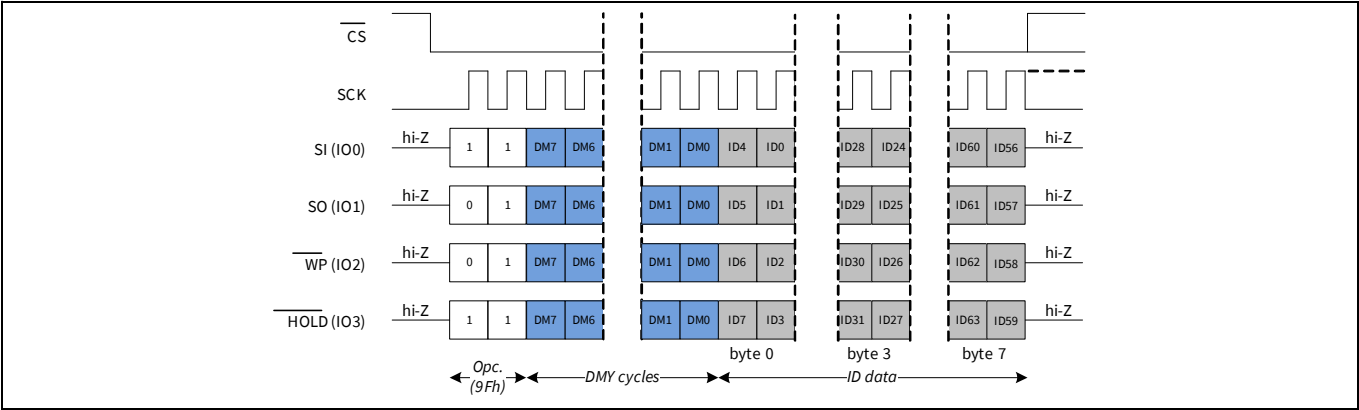


Figure 89 QPI 模式下的读取器件 ID (RDID)

5.1.8.2 读取唯一 ID (RUID, 4Ch)

可以询问 CY15x116QSN 器件的唯一 ID, 该 ID 是每个器件唯一的出厂设置 64 位编号。通过使用 RUID 操作码 4Ch, 可以读取 8 字节只读唯一 ID。

注意:

- 所示的虚拟周期是通过 CR5 中寄存器延迟代码位 (RLC0, RLC1) 配置的选项。
- RUID 数据优先 — Lsb 最先移出, MSb 最后移出。RDID 指令不支持回卷。发送第八字节后, 如果主机继续提供时钟, 器件将返回未定义的数据字节。
- 唯一 ID 寄存器保证可以在多达三个标准回流焊的周期内保持用户数据。

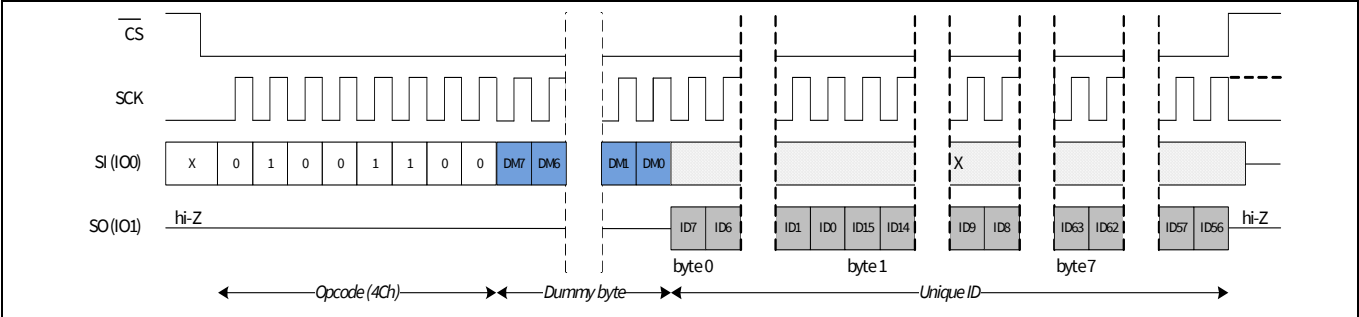


Figure 90 SPI 模式下的读取唯一 ID

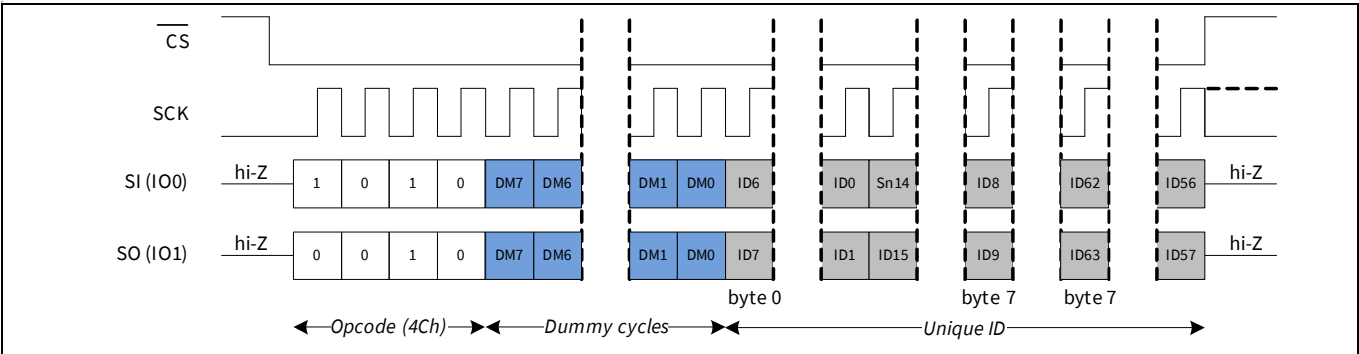


Figure 91 DPI 模式下的读取唯一 ID

功能说明

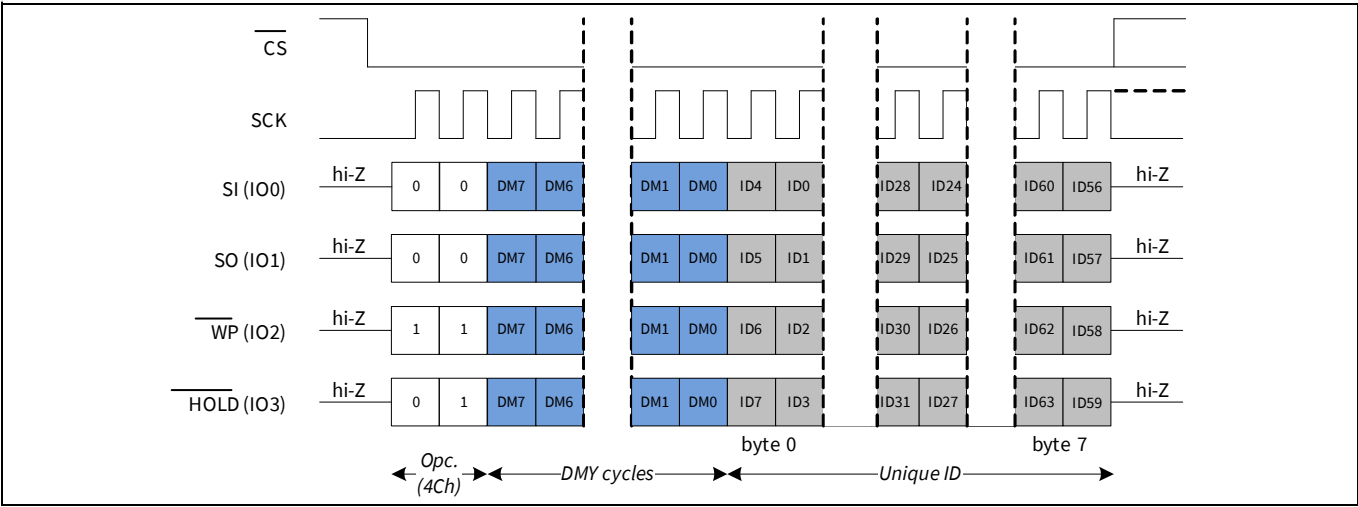


Figure 92 QPI 模式下的读取唯一 ID

5.1.8.3 写入序列号 (WRSN, C2h)

序列号是一个为用户提供的 8 字节可编程存储器空间，它用于对 PC 电路板或系统进行唯一识别。序列号通常由一个 2 字节的客户 ID、五字节的唯一序列号以及一个字节的 CRC 校验组成。然而，对于 8 字节序列号，最终应用可以定义自己的格式。对序列号寄存器进行的所有写操作都始于 WREN 操作码，这时将依次激活和取消激活 CS。下一个操作码是 WRSN。可在突发模式下采用 WRSN 指令写入全部 8 字节的序列号。序列号的最后字节被移入后，必须将 CS 驱动为高电平以完成 WRSN 操作。

注意

- 只有通过将状态寄存器中的写使能锁存位 (WEL) 设置为 1 来使能写操作时，器件才能执行 WRSN 指令。完成 WRSN 操作时，写使能锁存 (WEL) 位被设置为 0。
- WRSN 数据优先 — LSb 最先移入，MSb 最后移入。
- 器件不会计算 7 字节 ID 的 CRC 校验和。系统固件必须计算 CRC 校验和并将其附加到 7 字节用户定义序列号，然后将全部 8 字节序列号编程到序列号寄存器内。8 字节序列号的出厂默认值为 “0x0000000000000000”。
- WRSN 指令终止后 (在 CS 的上升沿上)，WEL 位自动被清除为 0。
- 必须输入全部 8 个字节，否则不会执行序列号写入 (WRSN) 操作。

Table 56 8 字节序列号

16 位客户标识符		40 位唯一编号					8 位 CRC
SN[63:56]	SN[55:48]	SN[47:40]	SN[39:32]	SN[31:24]	SN[23:16]	SN[15:8]	SN[7:0]

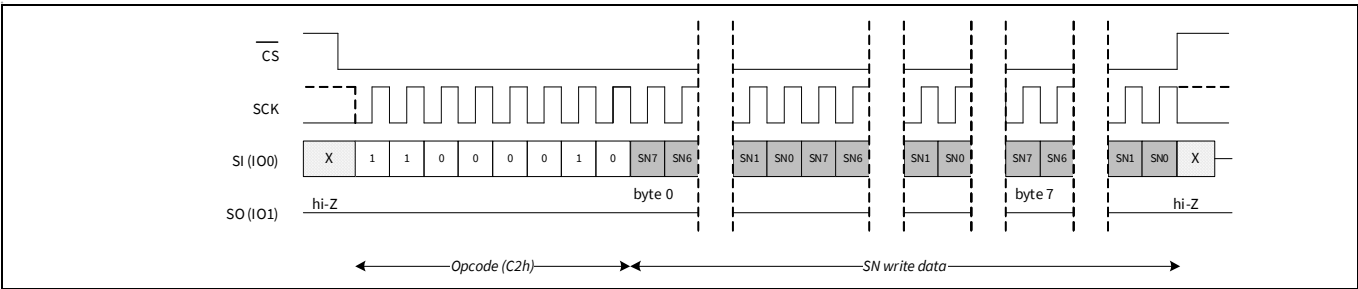


Figure 93 SPI 模式下的写入序列号 (不显示 WREN)

功能说明

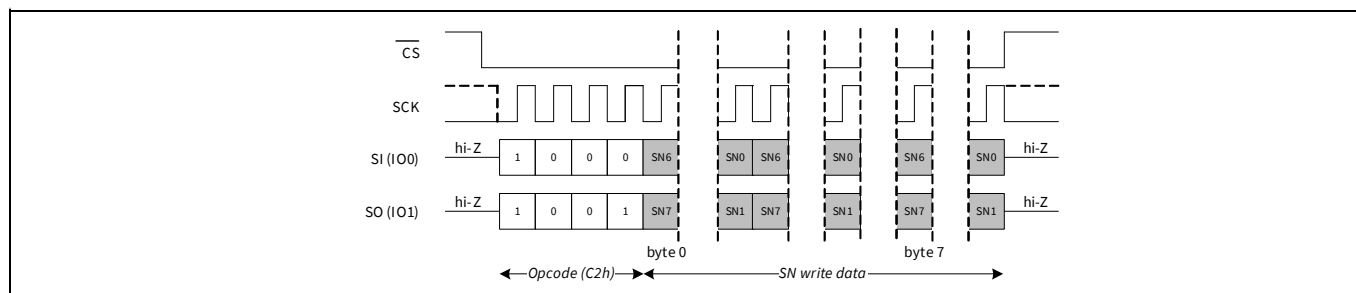


Figure 94 DPI 模式下的写入序列号 (不显示 WREN)

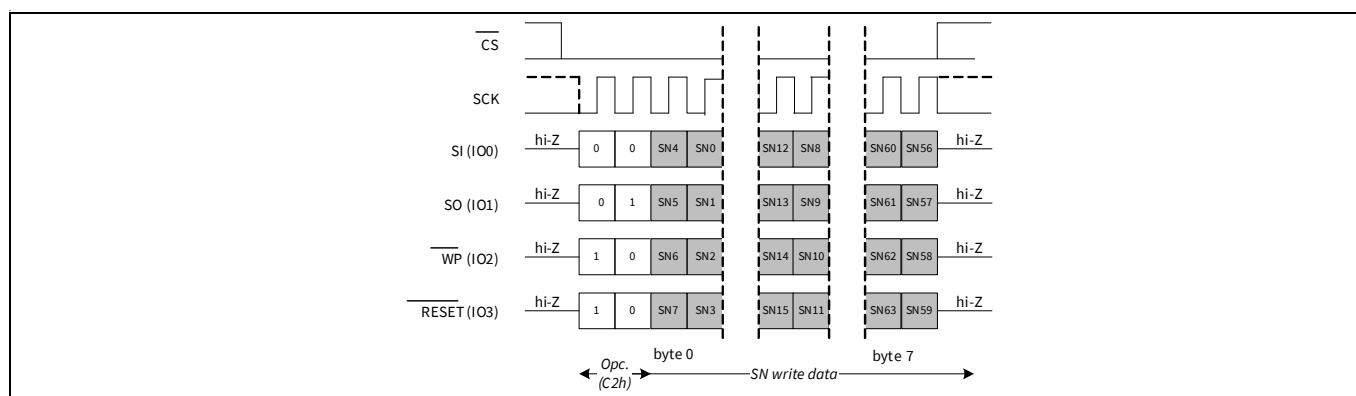


Figure 95 QPI 模式下的写入序列号 (不显示 WREN)

5.1.8.4 读取序列号 (RDSN, C3h)

CY15x116QSN 为用户提供一个用于唯一识别器件的 8 字节串行空间。通过使用 RDSN 指令可以读取序列号。可以在突发模式下读取序列号，实现一次性读取所有八个字节。读取序列号的最后一个字节后，主机必须停止提供时钟并驱动 CS 为高电平，以终止 RDSN 指令。CS 转为低电平后，通过输入 RDSN 的操作码可以发送 RDSN 指令。

注意

- 所示的虚拟周期是通过 CR5 中寄存器延迟代码位 (RLC0, RLC1) 配置的选项。
- Lsb 最先移出，MSb 最后移出。传送第八字节后，如果主机继续提供时钟，器件将返回未定义的数据字节。

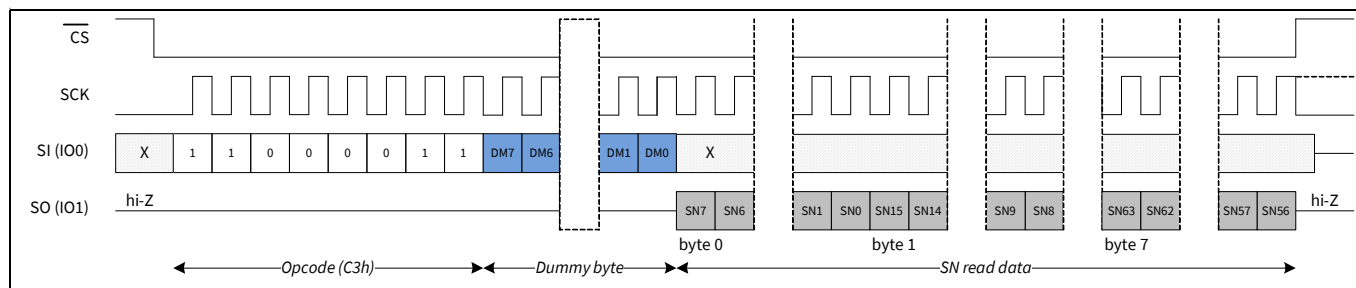


Figure 96 SPI 模式下的读取序列号 (RDSN)

功能说明

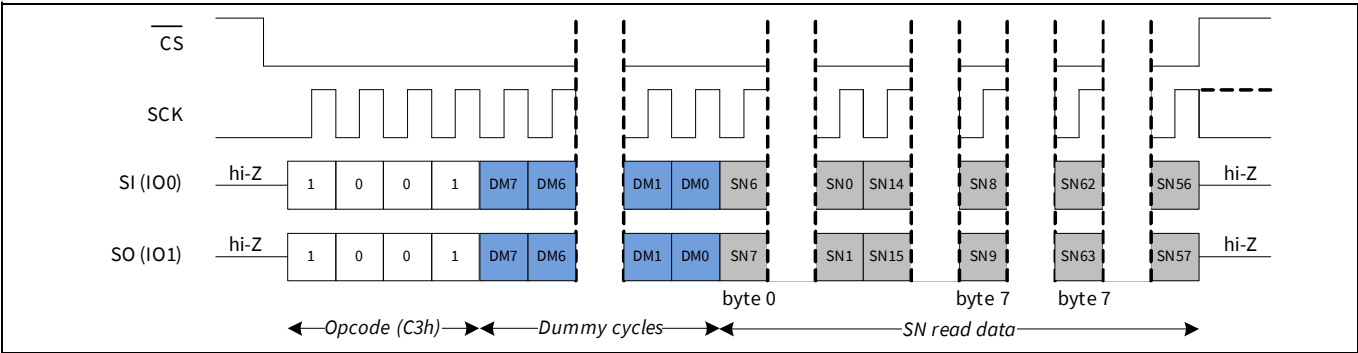


Figure 97 DPI 模式下的读取序列号 (RDSN)

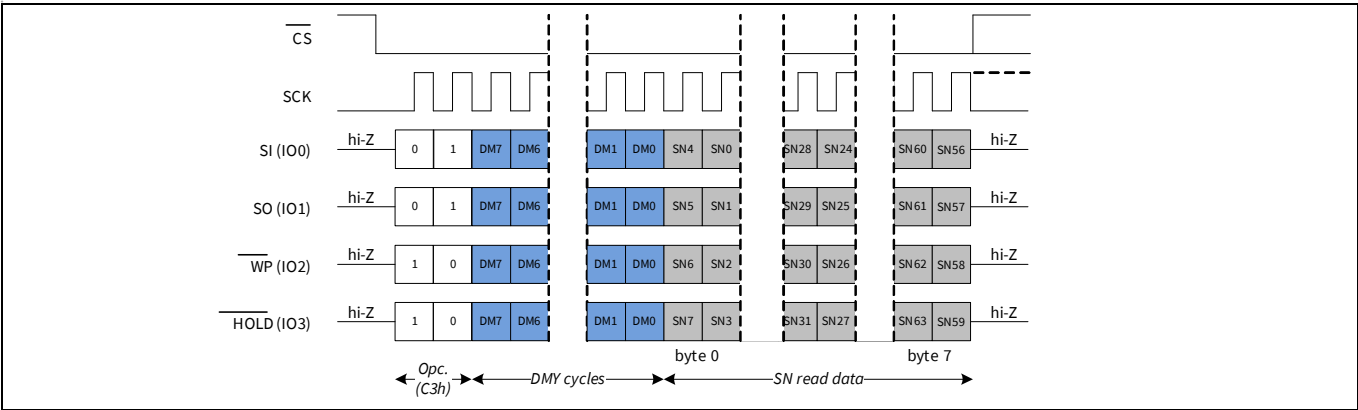


Figure 98 QPI 模式下的读取序列号 (RDSN)

5.1.9 低功耗模式与复位

Table 57 低功耗模式和复位指令

指令	操作码 (十六进制)	指令说明
DPD	B9	深度掉电模式 — 进入深度掉电功耗模式
HBN	BA	待机模式 — 进入待机功耗模式
RSTEN	66	复位使能 — 用于使能软件复位的的预指令
RST	99	软件复位 — 用于初始软件复位的指令

Table 58 低功耗模式和复位指令说明

操作码 (十六进制)	地址长度	SPI 总线接口						数据传输		延迟 (无)	XIP 芯片内 执行	最大时钟 频率
		SPI	双线 数据	四线 数据	双线 I/O	四线 I/O	DPI	QPI	SDR	DDR	虚拟 周期	
B9	不适用	支持		不适用			支持	支持	支持	不适用	不适用	108 MHz
BA	不适用	支持		不适用			支持	支持	支持	不适用	不适用	108 MHz
66	不适用	支持		不适用			支持	支持	支持	不适用	不适用	108 MHz
99	不适用	支持		不适用			支持	支持	支持	不适用	不适用	108 MHz

功能说明

5.1.9.1 深度掉电模式 (DPD, B9h)

当收到 DPD 操作码 B9 并处于 $\overline{CS}$ 上升沿时, 器件将进入深度掉电模式。在深度掉电模式下, 忽略 SCK 和 SI 引脚, 并且将 SO 引脚置于高阻态 (HI-Z), 但是器件仍继续监控 $\overline{CS}$ 引脚。

经过 t_{EXTDPD} 的时间后, 通过 $\overline{CS}$ 脉宽 t_{CSDPD} 或硬件复位可以退出深度掉电模式。可以通过发送虚拟指令周期或单独切换 $\overline{CS}$ (无需关注 SCK 和 I/O) 来生成 $\overline{CS}$ 脉冲宽度。从深度掉电模式唤醒期间, I/O 保持高阻态 (hi-Z)。请分别参考 [Figure 99](#) 和 [Figure 102](#), 了解有关深度掉电进入和深度掉电退出的时序信息。

注意:

- [Figure 99](#) 中所显示的时序可以应用于 DPI 和 QPI 模式。
- 在 DPD 模式下, CRC 寄存器 (CRCR) 和 ECC 寄存器 (ECCDC 和 ADDRTRAP) 将失去它们所保存的内容, 并返回到它们的默认值 (0x00)。
- 在 DPD 模式下不会保持 WEL 位 (SR0[1]) 的状态。如果进入 DPD 前, WEL 的状态为 1, 那么退出 DPD 模式后, 它的状态将被清除为 0。

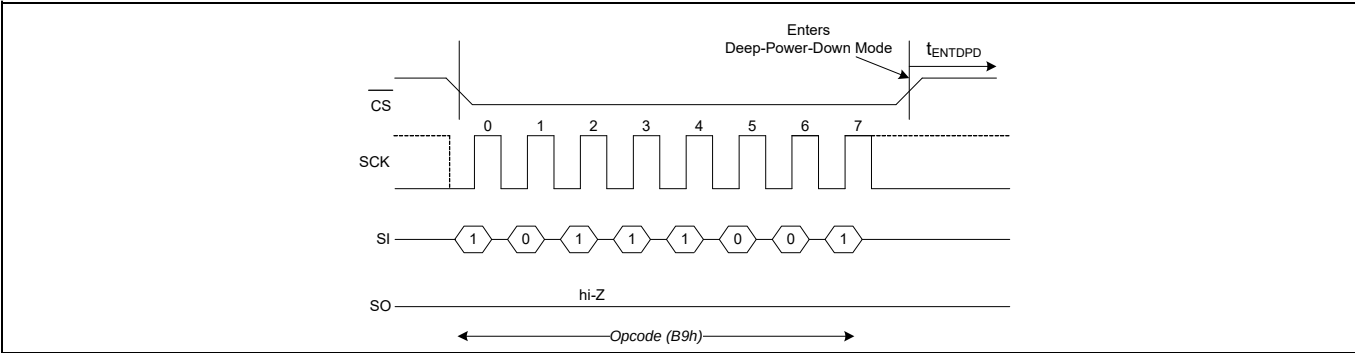


Figure 99 SPI 模式下的 DPD 进入

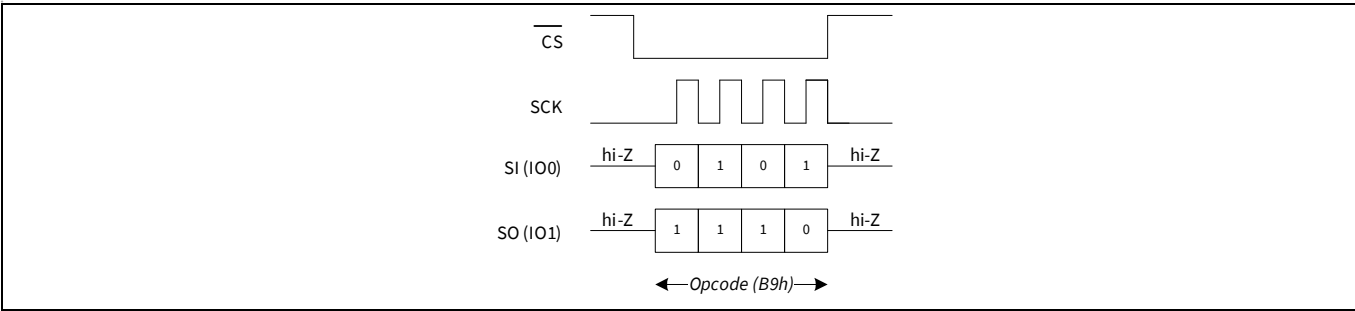


Figure 100 DPI 模式下的深度掉电 (DPD) 模式操作

功能说明

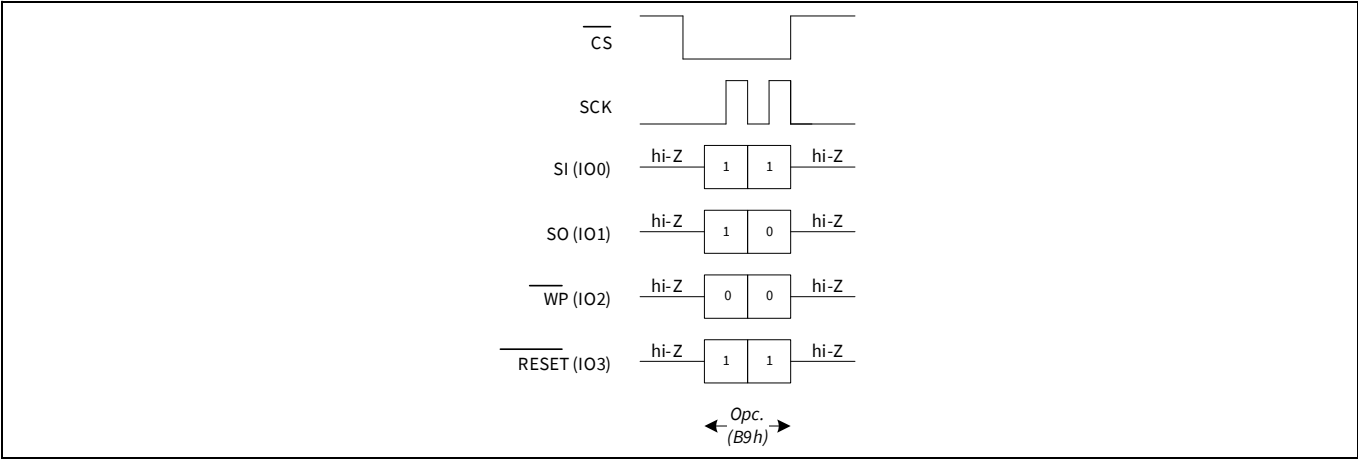


Figure 101 QPI 模式下的深度掉电 (DPD) 模式操作

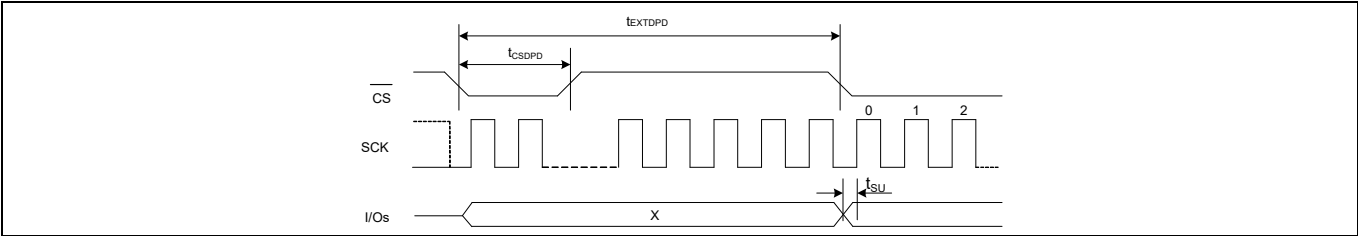


Figure 102 SPI 模式下的 DPD 退出

5.1.9.2 休眠模式 (HBN, BAh)

收到 HBN 操作码 BAh 并处于 $\overline{CS}$ 上升沿时, 器件将进入休眠模式。在休眠模式下, 忽略 SCK 和 SI 引脚, 并且将 SO 引脚置于高阻态 (HI-Z), 但是器件仍继续监控 $\overline{CS}$ 引脚。在 $\overline{CS}$ 的下一个下降沿上, 器件需要 t_{EXTHIB} 的时间来返回正常操作。从休眠模式唤醒期间, SO 引脚保持高阻态 (HI-Z)。这时, 器件不需要响应操作码。要退出休眠模式, 控制器将发送一个“虚拟”读取操作 (作为一个示例), 并等待余下的 t_{EXTHIB} 时间。

注意

- SPI 模式时序框图中所示的时序可以应用于 DPI 和 QPI 模式。
- 从休眠模式退出时, 所有寄存器将返回其默认 POR 值。请查阅 [Table 3](#), 详细了解 POR 后的寄存器默认值。

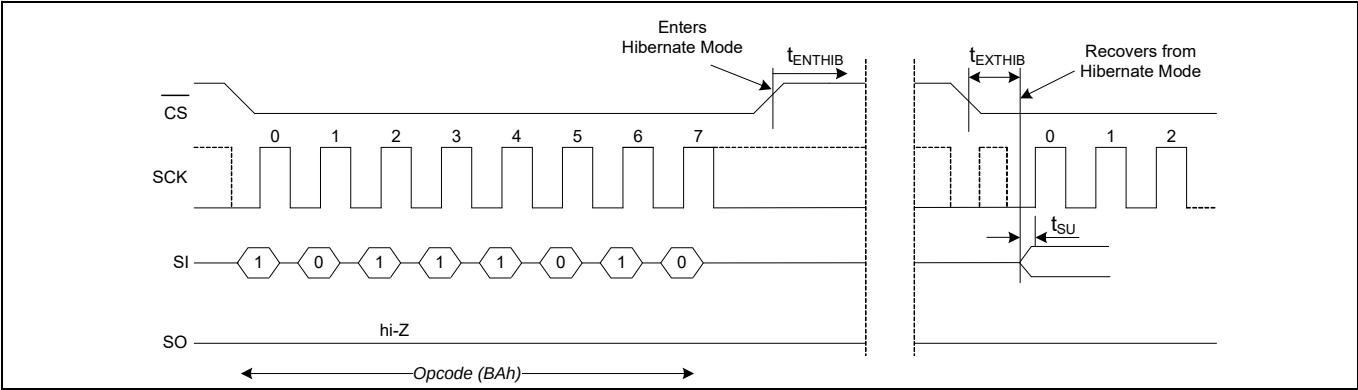


Figure 103 SPI 模式下的休眠模式操作

功能说明

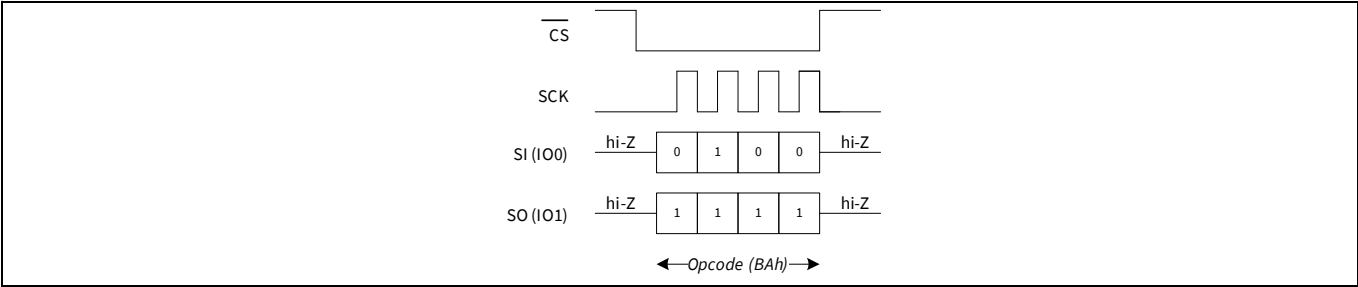


Figure 104 DPI 模式下的休眠模式操作

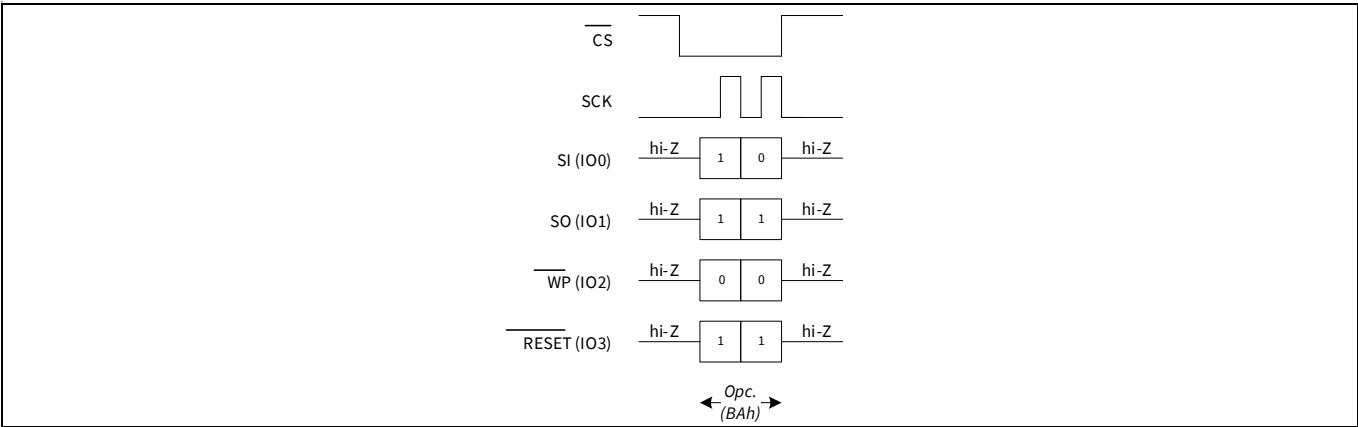


Figure 105 QPI 模式下的休眠模式操作

5.1.9.3 软件复位

依次使用以下两个指令可以实现软件复位操作：复位使能 (RSTEN) 指令和复位 (RST) 指令。软件复位操作将复位整个器件，并且经过 t_{SRESET} 时间后器件才能接收各条指令。

注意

- 如果 RSTEN 指令后不是 RST 指令，而是其它任何指令，该指令将清除复位使能条件并防止识别随后的 RST 指令。
- 在软件复位期间，仅支持 RDSR1 和 RDAR (用于访问 RDSR1) 指令。所有其它指令均被忽略。
- SPI 模式时序框图中所示的时序可以应用于 DPI 和 QPI 模式。

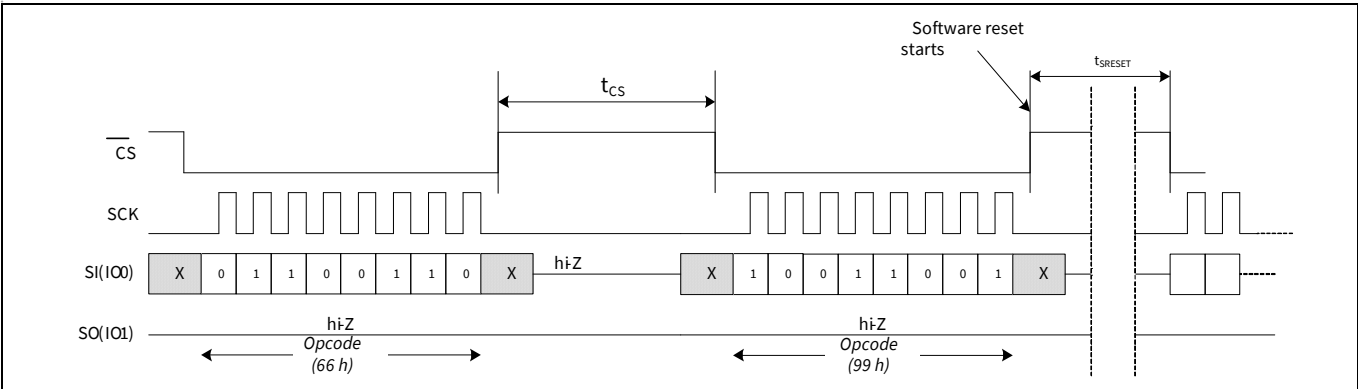


Figure 106 SPI 模式下的软件复位时序

功能说明

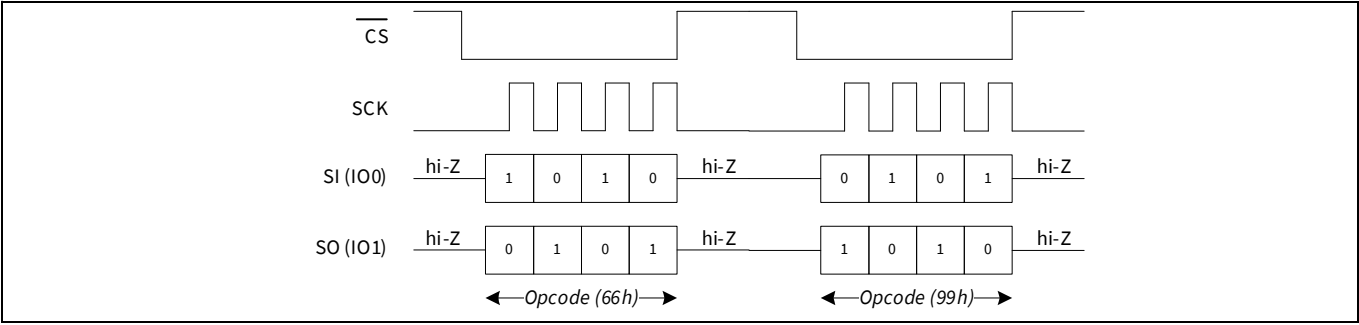


Figure 107 DPI 模式下的软件复位时序

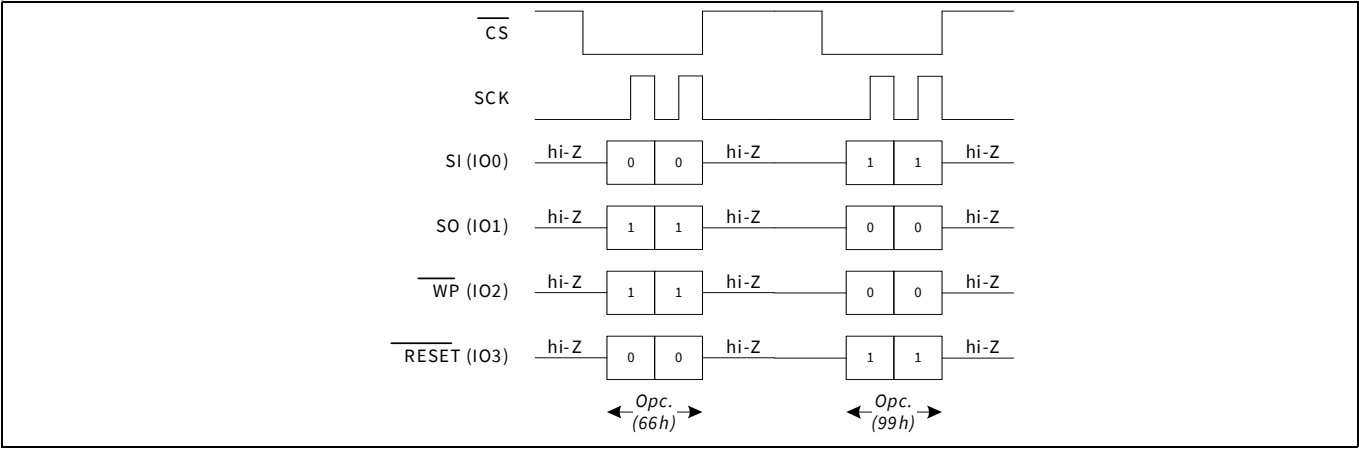


Figure 108 QPI 模式下的软件复位时序

功能说明

5.1.9.4 硬件复位 (RESET)

硬件复位输入 ($\overline{\text{RESET}}$) 被复用在 ($\overline{\text{RESET}}$ / I/O3) 上, 并且在 CY15x116QSN 器件中作为低电平有效信号。请查阅 [Table 21](#), 了解各种 SPI 接口的硬件复位 ($\overline{\text{RESET}}$) 引脚配置。当 $\overline{\text{RESET}}$ 引脚被置为低电平时, CY15x116QSN 则将自初始化, 并使其配置设置返回到上电状态。请查阅 [Table 59](#), 了解 $\overline{\text{RESET}}$ 周期后各种不同的寄存器配置。一旦发送 $\overline{\text{RESET}}$, 从 $\overline{\text{RESET}}$ 的上升沿算起, CY15x116QSN 将需要 $t_{\text{RPH}}/t_{\text{HRESET}}$ 时间来完成复位周期。在 t_{RPH} 期间, 不能访问 CY15x116QSN。[Figure 109](#) 至 [Figure 111](#) 显示了不同复位模式中的 $\overline{\text{RESET}}$ 时序。

注意

- 在 QPI 模式下, $\overline{\text{RESET}}$ 引脚被复用在 I/O3 上。在该模式下, 要想使用硬件复位 ($\overline{\text{RESET}}$), 必须将 CR2 [5] 位设置为 1。这样, 在 CS 为高电平时, 可以将 I/O3 作为 $\overline{\text{RESET}}$ 输入使用。[Figure 109](#) 显示了 QPI 模式下的 $\overline{\text{RESET}}$ / (I/O3) 时序。
- 必须将配置寄存器 1 中的 Quad 位 CR1 [1] 设置为 0, 从而使能 $\overline{\text{RESET}}$ 引脚上的硬件复位特性。
- 在 QPI 模式下的共享总线配置中, 如果使能 $\overline{\text{RESET}}$ 功能, 则每次主设备和同一个总线上的其它 QSPI 从设备进行通信时, 都会切换 ($\overline{\text{RESET}}$ / (I/O3)), 从而导致器件复位。因此, 在共享总线配置中, 建议禁用 $\overline{\text{RESET}}$ 引脚功能。

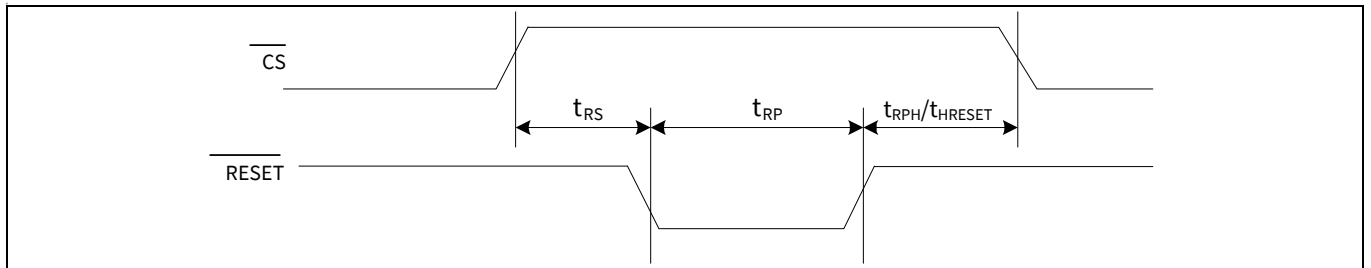


Figure 109 SPI 模式下的 $\overline{\text{RESET}}$ 时序 — QUAD 被设置 (CR1[1]=1) 或 QPI 被使能 (CR2[6]=1)

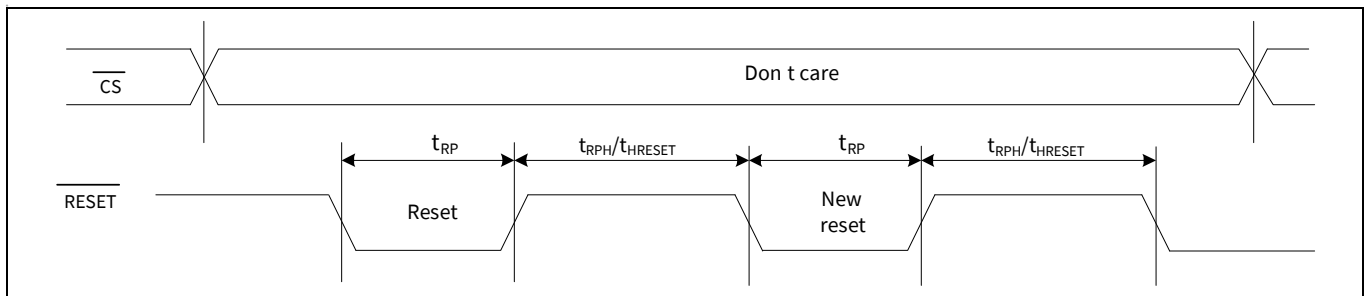


Figure 110 SPI 模式下的 $\overline{\text{RESET}}$ 时序 — QUAD 被清除 (CR1[1]=0) 或 QPI 被禁用 (CR2[6]=0)

5.1.9.5 JEDEC SPI 复位

JEDEC SPI 复位是一种信号传输协议, 可以启动硬件复位而不受器件的操作 I/O 模式的影响。该协议使器件返回到状态和配置寄存器中选定的默认模式。[Table 59](#) 显示了默认恢复启动后器件的状态。

恢复默认模式的步骤如下:

1. $\overline{\text{CS}}$ 切换为低电平有效状态以选择 SPI 从设备。
2. SCK 在高电平或低电平状态下保持稳定状态。
3. SI (I/O0) 从高电平转为低电平, 同时 $\overline{\text{CS}}$ 转为低电平。其它 I/O (I/O1, I/O2 和 I/O3) 处于无需关注状态。
4. $\overline{\text{CS}}$ 被驱动为高电平, 而 I/O0 保持低电平状态。
5. 每次在 $\overline{\text{CS}}$ 的下降沿上切换 SI (I/O0) 的状态时, 重复第一到第四步, 总共需要四次。
6. 在第四个 $\overline{\text{CS}}$ 上升沿 (无效) 后, 器件将被复位。

请参考 [Figure 111](#), 了解详细时序。

功能说明

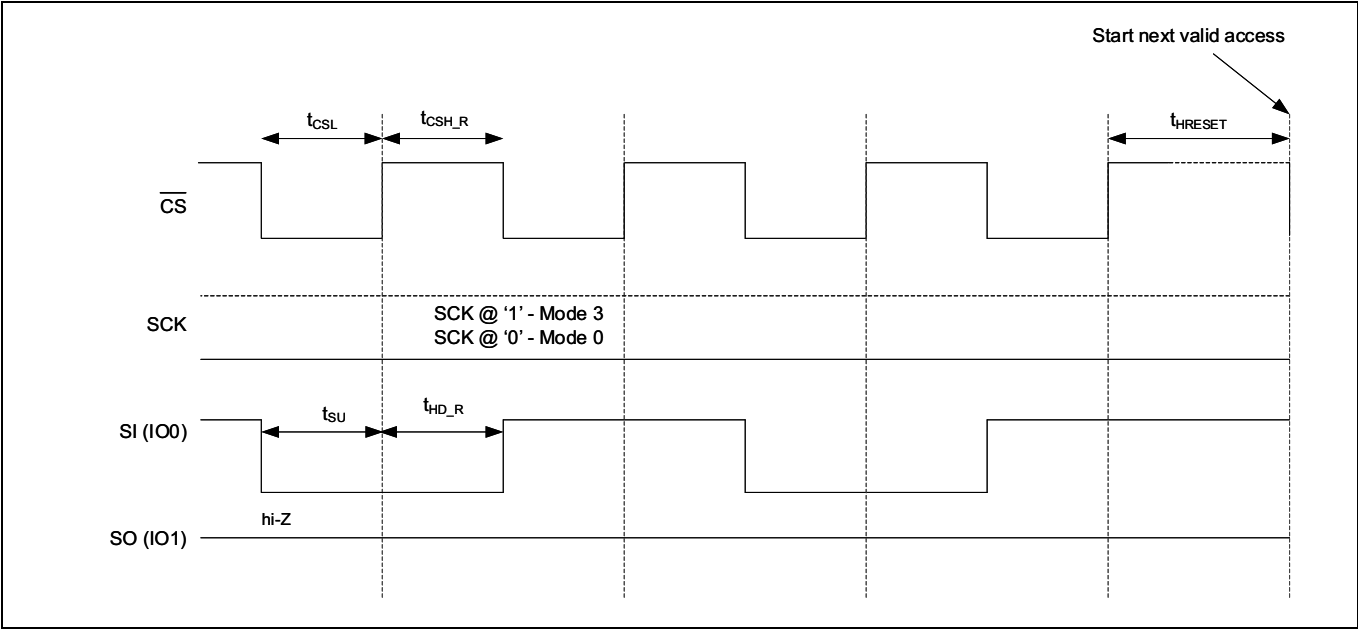


Figure 111 JEDEC SPI 复位

Table 59 进行各种复位后的寄存器状态

复位功能	I/O 要求	状态寄存器 (SRx)	配置寄存器 (CRx)	ECC 状态	CRC 寄存器	ECC 计数寄存器 (ECCDC)	地址陷阱寄存器 (ADDTRAP)	I/O 模式
上电复位	$\overline{CS} = 1$ 忽略其他输入 所有输出处于三态	SR1 — 加载默认值 SR2 - 0x00	CR1, CR2, CR4, CR5 加载默认值	加载 — 0x00	加载 — 0x00	加载 — 0x00	加载 — 0x00	保持不变
硬件复位	$\overline{CS} = 1$ 忽略其他输入 所有输出处于三态	SR1 — 加载默认值 SR2 - 0x00	CR1, CR2, CR4, CR5 加载默认值	加载 — 0x00	加载 — 0x00	加载 — 0x00	加载 — 0x00	保持不变
软件复位	指令 (RSTEN, RST)	SR1 — 保持不变, 除 WEL 位从 1 被清除 0 外。 SR2 - 0x00	CR1, CR2, CR4, CR5 — 保持不变	加载 — 0x00	加载 — 0x00	加载 — 0x00	加载 — 0x00	保持不变
JEDEC 复位 (默认恢复)	$\overline{CS}$ 和 SI (IO0) = 切换 忽略其他输入 所有输出处于三态	SR1 — 加载默认值 SR2 - 0x00	CR1, CR2, CR4, CR5 加载默认值	加载 — 0x00	加载 — 0x00	加载 — 0x00	加载 — 0x00	保持不变

如果 CY15x116QSN 进入未定义状态并停止响应任何 SPI 指令,那么 SPI 主机可以进行硬件 $\overline{RESET}$ 或 JEDEC SPI 复位。如果输入错误操作码或由于 SPI 信号上的任何毛刺而内部所存错误操作码,或者器件未成功启动 (经过 t_{PU} 时间后仍显示繁忙状态 $WIP = 1$), CY15x116QSN 都会进入内部测试模式或任何未定义模式。

注意: 在 DPD 模式下, ECC (ECCDC 和 ADDRTRAP) 寄存器将失去其保存的内容, 并返回到它们的默认值 0x00。从休眠模式唤醒后, 所有寄存器将返回上电时的默认值, 如 Table 3 所示。

最大额定值

6 最大额定值

超过最大额定值可能会影响器件的使用寿命。用户指南未经过测试。

存放温度	(-65 °C ~ +125 °C)
最长的累积存储时间: 环境温度为 125 °C	1000 个小时
环境温度为 85 °C	10 年
最高结温	125 °C
相对于 V_{SS} 的 V_{DD} 供电电压: CY15V116QSN CY15B116QSN	-0.5 V ~ +2.4 V -0.5 V ~ +4.1 V
输入电压	$V_{IN} \leq V_{DD} + 0.5 \text{ V}$
直流电压, 应用于高阻态 (High Z) 的输出	-0.5 V ~ $V_{DD} + 0.5 \text{ V}$
处于接地电位的任何引脚的跳变电压 (< 20 ns)	-2.0 V ~ $V_{DD} + 2.0 \text{ V}$
封装功率散耗能力 ($T_A = 25 \text{ °C}$)	1.0 W
表面组装铅焊温度 (3 秒)	+260°C
直流输出电流 (每次只输出 1 路电流, 输出时间为 1 秒)	15 mA
静电放电电压 人体模式 (JEDEC 标准 JESD22-A114-B)	2 kV
充电器件模型 (JEDEC 标准 JESD22-C101-A)	500 V
栓锁电流	>140 mA

工作范围

7 工作范围

Table 60 工作范围

器件	环境温度	V _{DD}
CY15V116QSN	工业级 (-40°C 到 +85°C)	1.71 V 到 1.89 V
CY15B116QSN		1.8 V 到 3.6 V

直流电气特性

8 直流电气特性

适用条件为工作范围

参数	说明	测试条件		最小值	典型值 ^[15]	最大值	单位
V _{DD}	电源	CY15V116QSN		1.71	1.8	1.89	V
		CY15B116QSN		1.8	3.0	3.6	V
I _{DD1}	SPI SDR 模式下的 V _{DD} 供电电流	V _{DD} = 1.71 V 到 1.89 V; SCK 的电压值在 V _{DD} - 0.2 V 和 V _{SS} 之间进行切换, 其他 输入的电压为 V _{SS} 或 V _{DD} - 0.2 V。无输出负载。	f _{SCK} = 50 MHz	–	7	9.5	mA
			f _{SCK} = 108 MHz	–	14	17.5	mA
		V _{DD} = 1.8 V 到 3.6 V; SCK 的电压值在 V _{DD} - 0.2 V 和 V _{SS} 之间进行切换, 其他输入的电压为 V _{SS} 或 V _{DD} - 0.2 V。无输出负载。	f _{SCK} = 50 MHz	–	8.0	10.5	mA
			f _{SCK} = 108 MHz	–	15	18.5	mA
I _{DD2}	DPI SDR 模式下的 V _{DD} 供电电流	V _{DD} = 1.71 V 到 1.89 V; SCK 的电压值在 V _{DD} - 0.2 V 和 V _{SS} 之间进行切换, 其他输入的电压为 V _{SS} 或 V _{DD} - 0.2 V。无输出负载。	f _{SCK} = 108 MHz	–	16.5	21	mA
		V _{DD} = 1.8 V 到 3.6 V; SCK 的电压值在 V _{DD} - 0.2 V 和 V _{SS} 之间进行切换, 其他输入的电压为 V _{SS} 或 V _{DD} - 0.2 V。无输出负载。	f _{SCK} = 108 MHz	–	18	22.5	mA
I _{DD3}	QPI SDR 模式下的 V _{DD} 供电电流	V _{DD} = 1.71 V 到 1.89 V; SCK 的电压值在 V _{DD} - 0.2 V 和 V _{SS} 之间进行切换, 其他输入的电压为 V _{SS} 或 V _{DD} - 0.2 V。无输出负载。	f _{SCK} = 108 MHz	–	22	27.5	mA
		V _{DD} = 1.8 V 到 3.6 V; SCK 的电压值在 V _{DD} - 0.2 V 和 V _{SS} 之间进行切换, 其他输入的电压为 V _{SS} 或 V _{DD} - 0.2 V。无输出负载。	f _{SCK} = 108 MHz	–	23.5	30	mA
	QPI DDR 模式下的 V _{DD} 供电电流	V _{DD} = 1.71 V 到 1.89 V; SCK 的电压值在 V _{DD} - 0.2 V 和 V _{SS} 之间进行切换, 其他输入的电压为 V _{SS} 或 V _{DD} - 0.2 V。无输出负载。	f _{SCK} = 46 MHz	–	16.5	21	mA
		V _{DD} = 1.8 V 到 3.6 V; SCK 的电压值在 V _{DD} - 0.2 V 和 V _{SS} 之间进行切换, 其他输入的电压为 V _{SS} 或 V _{DD} - 0.2 V。无输出负载。	f _{SCK} = 46 MHz	–	17.5	23	mA
I _{SB}	V _{CC} 待机电流	V _{DD} = 1.71 V 到 1.89 V; CS = V _{DD} 。所有其他输入的 电压均为 V _{SS} 或 V _{DD} 。	T _A = 25°C	–	115	–	μA
			T _A = 85°C	–	–	420	μA
		V _{DD} = 1.8 V 到 3.6 V; CS = V _{DD} 。所有其他输入的 电压均为 V _{SS} 或 V _{DD} 。	T _A = 25°C	–	200	–	μA
			T _A = 85°C	–	–	560	μA

注释

15. 典型值的适用条件为 25°C , $V_{DD} = V_{DD}$ (典型值)。并非 100% 经过测试。

直流电气特性

参数	说明	测试条件		最小值	典型值 ^[15]	最大值	单位
I _{DPD}	深度掉电电流	V _{DD} = 1.71 V 到 1.89 V; $\overline{\text{CS}}$ = V _{DD} 。所有其他输入的电压均为 V _{SS} 或 V _{DD} 。	T _A = 25°C	–	1.1	–	μA
			T _A = 85°C	–	–	28.1	μA
		V _{DD} = 1.8 V 到 3.6 V; $\overline{\text{CS}}$ = V _{DD} 。所有其他输入的电压均为 V _{SS} 或 V _{DD} 。	T _A = 25°C	–	1.3	–	μA
			T _A = 85°C	–	–	29.4	μA
I _{HBN}	休眠模式下的电流	V _{DD} = 1.71 V 到 1.89 V; $\overline{\text{CS}}$ = V _{DD} 。所有其他输入的电压均为 V _{SS} 或 V _{DD} 。	T _A = 25°C	–	0.1	–	μA
			T _A = 85°C	–	–	0.9	μA
		V _{DD} = 1.8 V 到 3.6 V; $\overline{\text{CS}}$ = V _{DD} 。所有其他输入的电压均为 V _{SS} 或 V _{DD} 。	T _A = 25°C	–	0.1	–	μA
			T _A = 85°C	–	–	1.6	μA
I _{LI}	I/O 引脚的输入漏电流	V _{SS} < V _{IN} < V _{DD}	–1	–	1	μA	
	WP 和 RESET 引脚的漏电流 (I/O2 和 I/O3 引脚被禁用)		–100	–	1	μA	
I _{LO}	输出漏电流	V _{SS} < V _{OUT} < V _{DD}	–1	–	1	μA	
V _{IH}	高电平输入电压		0.7 × V _{DD}	–	V _{DD} + 0.3	V	
V _{IL}	低电平输入电压		–0.3	–	0.3 × V _{DD}	V	
V _{OH1}	高电平输出电压	I _{OH} = –1 mA, V _{DD} = 2.7 V	2.4	–	–	V	
V _{OH2}	高电平输出电压	I _{OH} = –100 μA	V _{DD} – 0.2	–	–	V	
V _{OL1}	低电平输出电压	I _{OL} = 2 mA, V _{DD} = 2.7 V	–	–	0.4	V	
V _{OL2}	低电平输出电压	I _{OL} = 150 μA	–	–	0.2	V	

注释

15. 典型值的适用条件为 25°C , $V_{DD} = V_{DD}$ (典型值)。并非 100% 经过测试。

9 数据保留时间与耐久性

Table 61 数据保留时间与耐久性

参数	说明	测试条件	最小值	最大值	单位
T _{DR}	数据保留时间	T _A = 85 °C	10	–	年
		T _A = 75 °C	38	–	
		T _A = 65 °C	151	–	
NV _C	耐久性	在工作温度范围内	10 ¹⁴	–	周期

电容

10 电容

Table 62 电容

参数 ^[16]	说明	测试条件	最大值	单位
C _O	输出引脚电容 (SO)	T _A = 25°C, f = 1 MHz, V _{DD} = V _{DD} (典型值)	6	pF
C _I	输入引脚电容		5	pF

注释

16. 该参数定期采样, 并非 100% 经过测试。

热阻

11 热阻

Table 63 热阻

参数 ^[17]	说明	测试条件	24-FBGA	单位
Θ_{JA}	热阻 (结至环境)	根据 EIA/JESD51 的要求, 测试条件遵循 测试热阻的标准测试方法和过程。	46.4	°C/W
Θ_{JC}	热阻 (结至外壳)		22.8	°C/W

注释

17. 该参数定期采样, 并非 100% 经过测试。

交流测试条件

12 交流测试条件

Table 64 交流测试条件

参数	数值	
	CY15V116QSN	CY15B116QSN
输入脉冲电平 (0 V 到 V_{DD})	0 V 到 V_{DD}	0 V 到 V_{DD}
输入上升和下降时间 (10% 到 90%)	≤ 1.8 ns	≤ 2.0 ns
输入时序参考电压	$0.3 \times V_{DD}$ 到 $0.7 \times V_{DD}$	$0.3 \times V_{DD}$ 到 $0.7 \times V_{DD}$
输出时序参考电压 (V_T)	$V_{DD}/2$	$V_{DD}/2$
负载电容 (C_L)	30 pF	30 pF

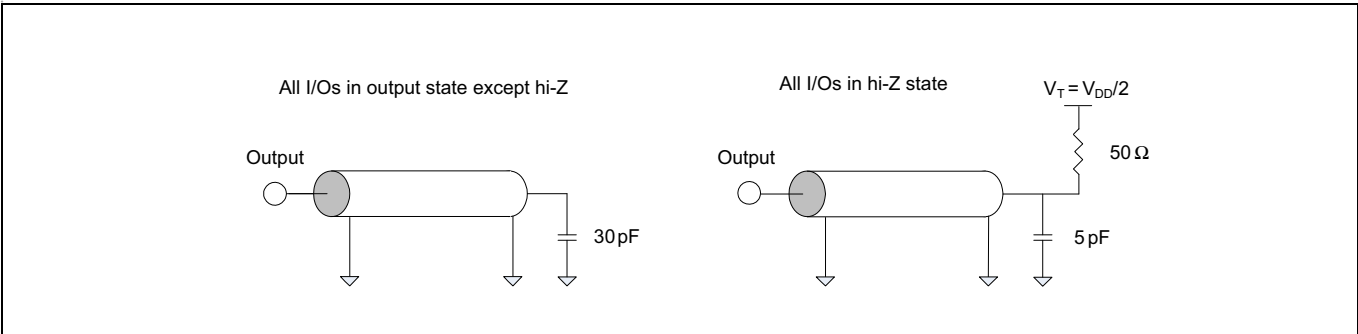


Figure 112 交流测试负载

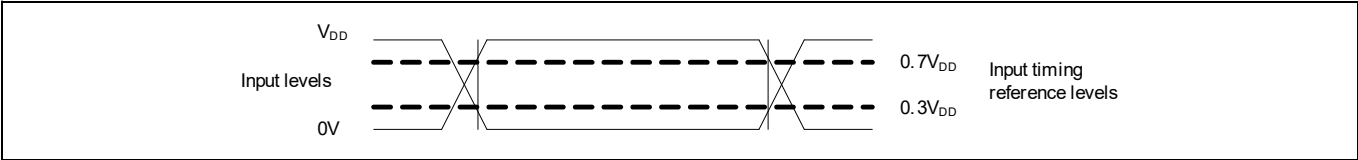


Figure 113 交流时序输入参考电压电平

SDR 交流切换特性

13 SDR 交流切换特性

Table 65 SDR 交流切换特性

参数 ^[18]		说明	最小值	最大值	单位
参数	备用参数				
f_{SCK}	–	SCK 时钟频率	0	108	MHz
t_{CH}	–	时钟高电平时间	$0.45 \times 1/f_{\text{SCK}}$	–	ns
t_{CL}	–	时钟低电平时间	$0.45 \times 1/f_{\text{SCK}}$	–	ns
t_{CSS}	t_{CSU}	芯片选择 ($\overline{\text{CS}}$) 的建立时间	5	–	ns
t_{CSH}	t_{CSH}	芯片选择 ($\overline{\text{CS}}$) 的保留时间 — SPI 模式 0	4	–	ns
t_{CSH1}	–	芯片选择 ($\overline{\text{CS}}$) 的保留时间 — SPI 模式 3	9	–	ns
t_{HZCS}	$t_{\text{OD}}^{[19, 20]}$	输出禁用时间 — CY15B116QSN	–	10	ns
		输出禁用时间 — CY15V116QSN	–	11	ns
t_{CO}	–	负载电容为 15 pF 的输出数据有效时间 (输出驱动强度为 45 Ω 。适用条件为 工作范围)	–	7	ns
		时钟为低电平到输出有效的时间 — 负载电容为 15 pF 输出驱动强度为 45 Ω 。V _{DD} = 2.7 V 到 3.6 V; 适用条件为 工作范围)	–	6.7	ns
		时钟为低电平到输出有效的时间 — 负载电容为 30 pF 输出驱动强度为 45 Ω 。V _{DD} = 2.7 V 到 3.6 V; 适用条件为 工作范围)	–	7	ns
		时钟为低电平到输出有效的时间 — 负载电容为 30 pF (输出驱动强度默认为 30 Ω 。 适用条件为 工作范围)	–	7	ns
t_{OH}	–	输出保持时间	1	–	ns
$t_{\text{CS}}^{[21]}$	t_{D}	SPI 模式下执行指令周期前的芯片取消选择 ($\overline{\text{CS}}$ 为高电平) 时间; 所有访问 (各存储器阵列和寄存器)	40	–	ns
		DPI 模式下执行指令周期前的芯片取消选择 ($\overline{\text{CS}}$ 为高电平) 时间; 所有访问 (存储器阵列访问除外)	105	–	ns
		DPI 模式下 (包括扩展型 SPI 双线模式) 执行指令周期前的芯片取消选择 ($\overline{\text{CS}}$ 为高电平) 的时间; 存储器阵列访问 (不支持 XIP 模式)	70	–	ns
		DPI 模式下 (包括扩展型 SPI 双线模式) 执行指令周期前的芯片取消选择 ($\overline{\text{CS}}$ 为高电平) 的时间; 存储器阵列访问 (支持 XIP 模式)	105	–	ns
		QPI 模式下执行指令周期前的芯片取消选择 ($\overline{\text{CS}}$ 为高电平) 时间; 所有访问 (存储器阵列访问除外)	145	–	ns
		QPI 模式下 (包括扩展型 SPI 四线模式) 执行指令周期前的芯片取消选择 ($\overline{\text{CS}}$ 为高电平) 的时间; 存储器阵列访问 (支持 XIP 模式)	125	–	ns
$t_{\text{CS}}^{[21]}$	t_{D}	QPI 模式下 (包括扩展型 SPI 四线模式) 执行指令周期前的芯片取消选择 ($\overline{\text{CS}}$ 为高电平) 的时间; 存储器阵列访问 (支持 XIP 模式)	145	–	ns

注释

18. 这些参数的测试根据第 92 页上的 "[交流测试条件](#)"。

19. t_{OD} 和 t_{HZ} 的负载电容为 5 pF。当输出进入高阻态时, 将测量转换。

20. 作为特征值但未经过 100% 的生产测试。

21. t_{CS} 指的是指定 SPI 模式下 (SPI, DPI 或 QPI) 开始新指令周期前芯片选择 ($\overline{\text{CS}}$ 为高电平) 的最小时间。该参数保证在主机开始新指令周期前, 先前操作已成功完成。请参考 [Figure 116](#)。

SDR 交流切换特性

Table 65 SDR 交流切换特性 (续)

参数 ^[18]		说明	最小值	最大值	单位
参数	备用参数				
t_{SD}	t_{SU}	数据输入的建立时间 (以 SCK 为准)	2	–	ns
t_{HD}	t_H	数据输入的保持时间 (以 SCK 为准)	3	–	ns
t_{CLZ}		从时钟为低电平到输出为低阻态的时间	0	–	ns
t_{CRCC}	–	CRC 的计算时间 (100 μ s + (0.8 μ s/ 数据字节))	0.10	440	ms
t_{CRCS}	–	$\overline{CS}$ 为高电平到 CRC 计算挂起的时间	–	100	μ s
t_{CRCR}	–	$\overline{CS}$ 为高电平到 CRC 计算恢复的时间	–	100	μ s

注释

18. 这些参数的测试根据第 92 页上的 " 交流测试条件 "。
19. t_{OD} 和 t_{HZ} 的负载电容为 5 pF。当输出进入高阻态时，将测量转换。
20. 作为特征值但未经过 100% 的生产测试。
21. t_{CS} 指的是指定 SPI 模式下 (SPI, DPI 或 QPI) 开始新指令周期前芯片选择 ($\overline{CS}$ 为高电平) 的最小时间。该参数保证在主机开始新指令周期前，先前操作已成功完成。请参考 Figure 116。

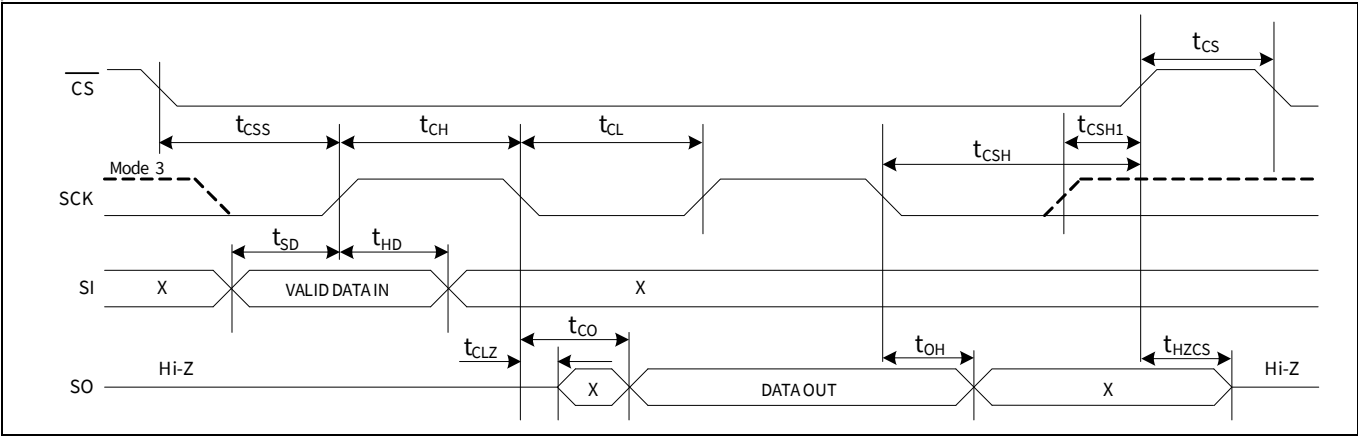


Figure 114 SPI 切换时序 — 单线 IO, SDR (模式 0 和模式 3)

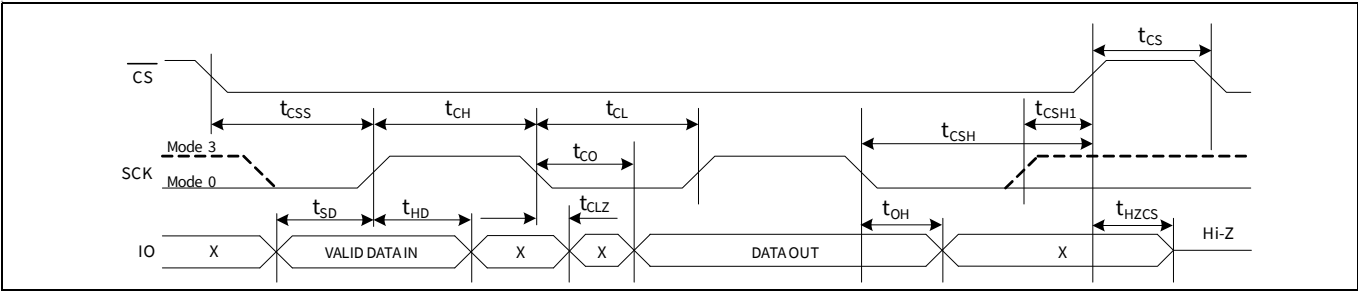


Figure 115 SPI 切换时序 — 多线 IO, SDR (模式 0 和模式 3)

SDR 交流切换特性

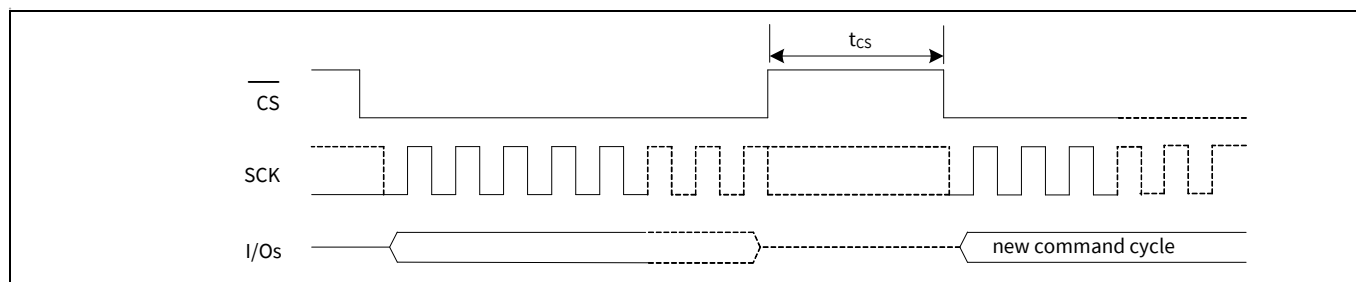


Figure 116 芯片取消选择 ($\overline{CS}$ 为高电平) — t_{CS} 时序

DDR 交流切换特性

14 DDR 交流切换特性

适用条件为 [工作范围](#)

Table 66 DDR 交流切换特性

参数 ^[22]		说明	最小值	最大值	单位
参数	备用参数				
f_{SCK}	–	SCK 时钟频率	0	46	MHz
t_{CH}	–	时钟高电平时间	$0.45 \times 1/f_{\text{SCK}}$	–	ns
t_{CL}	–	时钟低电平时间	$0.45 \times 1/f_{\text{SCK}}$	–	ns
t_{CSS}	t_{CSU}	芯片选择 ($\overline{\text{CS}}$) 的建立时间	5	–	ns
t_{CSH}	t_{CSH}	芯片选择 ($\overline{\text{CS}}$) 的保持时间	5	–	ns
t_{HZCS}	$t_{\text{OD}}^{[23, 24]}$	输出禁用时间 — CY15B116QSN	–	10	ns
		输出禁用时间 — CY15V116QSN	–	11	ns
t_{CO}	–	负载电容为 15 pF 的输出数据有效时间 (输出驱动强度为 45 Ω 。适用条件为 工作范围)	1	7	ns
		时钟为低电平到输出有效的时间 — 负载电容为 15 pF (输出驱动强度为 45 Ω 。 $V_{\text{DD}} = 2.7 \text{ V}$ 到 3.6 V; 适用条件为 工作范围)	1	6.7	ns
		时钟为低电平到输出有效的时间 — 负载电容为 30 pF (输出驱动强度为 45 Ω 。 $V_{\text{DD}} = 2.7 \text{ V}$ 到 3.6 V; 适用条件为 工作范围)	1	7	ns
		时钟为低电平到输出有效的时间 — 负载电容为 30 pF (输出驱动强度默认为 30 Ω 。适用条件为 工作范围)	1	7	ns
t_{OH}	–	输出保持时间	1	–	ns
$t_{\text{CS}}^{[25]}$	t_{D}	SPI 模式下执行指令周期前的芯片取消选择 ($\overline{\text{CS}}$ 为高电平) 时间; 所有访问 (各存储器阵列和寄存器)	105	–	ns
		QPI 模式下执行指令周期前的芯片取消选择 ($\overline{\text{CS}}$ 为高电平) 时间; 所有访问 (存储器访问除外)	145	–	ns
		QPI 模式下 (包括扩展型 SPI 四线模式) 执行指令周期前的芯片取消选择 ($\overline{\text{CS}}$ 为高电平) 的时间; 存储器阵列访问 (不支持 XIP 模式)	125	–	ns
		QPI 模式下 (包括扩展型 SPI 四线模式) 执行指令周期前的芯片取消选择 ($\overline{\text{CS}}$ 为高电平) 的时间; 存储器阵列访问 (支持 XIP 模式)	145	–	ns
t_{SD}	t_{SU}	数据输入的建立时间 (以 SCK 为准)	4	–	ns
t_{HD}	t_{H}	数据输入的保持时间 (以 SCK 为准)	4	–	ns
t_{CLZ}		从时钟为低电平到输出为低阻态的时间	0	–	ns

注释

22. 这些参数的测试根据第 92 页上的 " [交流测试条件](#) "。23. t_{OD} 和 t_{HZ} 的负载电容为 5 pF。当输出进入高阻态时, 将测量转换。

24. 作为特征值但未经过 100% 的生产测试。

25. t_{CS} 指的是指定 SPI 模式下 (SPI 或 QPI) 开始新指令周期前芯片选择 ($\overline{\text{CS}}$ 为高电平) 的最小时间。该参数保证在主
机开始新指令周期前, 先前操作已成功完成。请参考 [Figure 116](#)。

DDR 交流切换特性

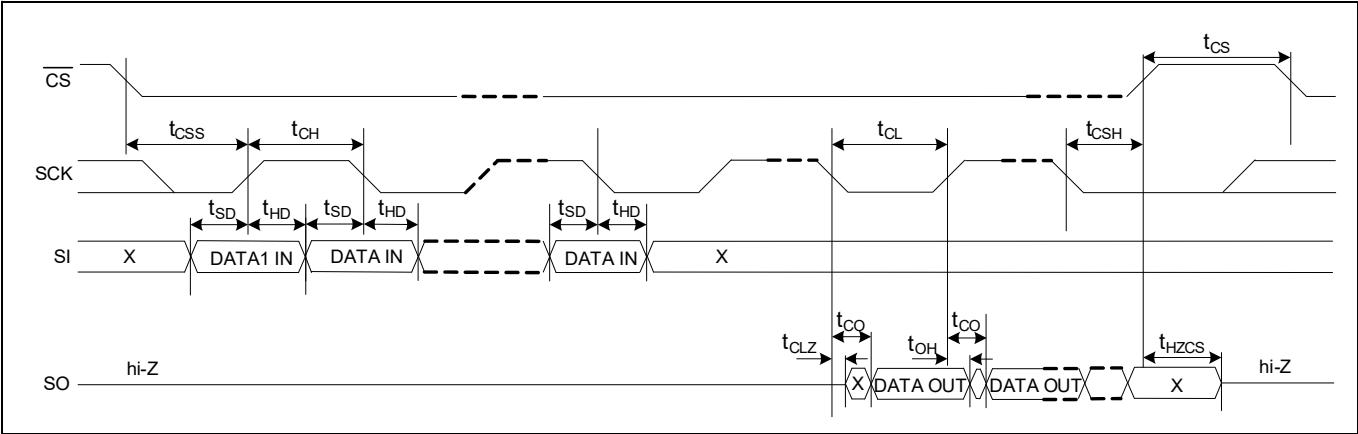


Figure 117 SPI 切换时序 — 单线 IO, DDR

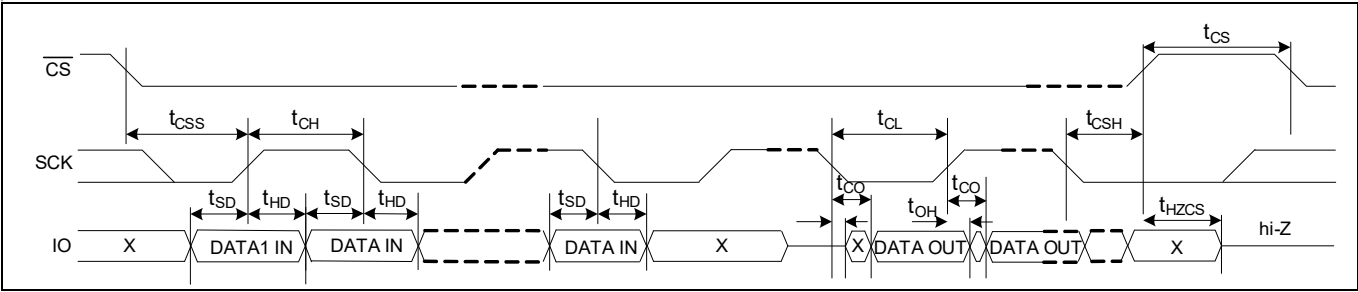


Figure 118 SPI 切换时序 — 多线 IO, DDR [26]

注释

26. 在两个时钟沿上捕捉数据输入的 DDR 模式输入时序仅适用于地址和数据输入周期。在操作码周期内，将始终在 SDR 模式下传输 DDR 操作码。

写保护 (WP) 时序参数

15 写保护 ($\overline{\text{WP}}$) 时序参数

适用条件为 [工作范围](#)

参数 ^[27]		说明	最小值	最大值	单位
参数	备用参数				
t_{WPS}	t_{SW}	$\overline{\text{WP}}$ 建立时间 (以 $\overline{\text{CS}}$ 为准)	20	–	ns
t_{WPH}	t_{HW}	$\overline{\text{WP}}$ 保持时间 (以 $\overline{\text{CS}}$ 为准)	20	–	ns

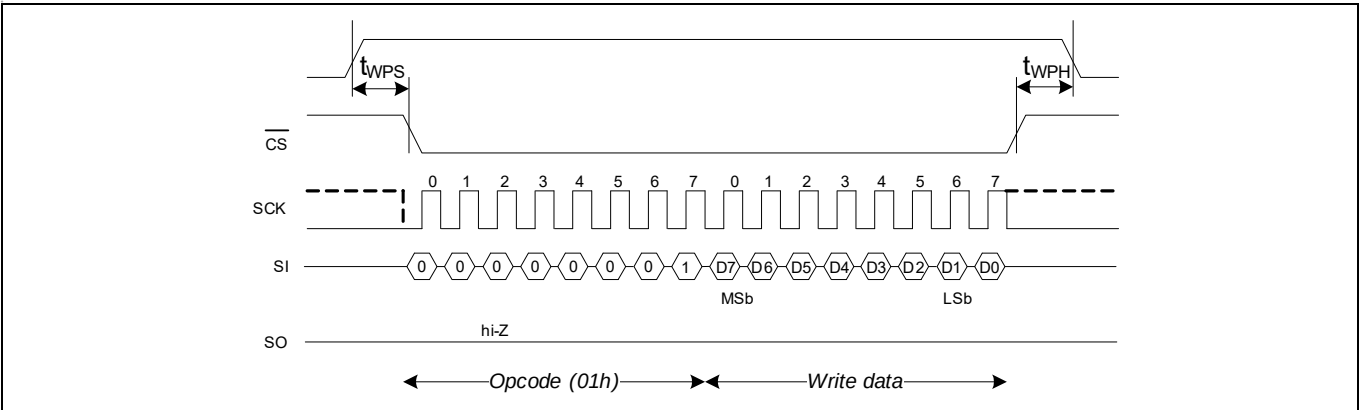


Figure 119 写保护的建立和保持时序

注释

27. 这些参数的测试根据第 92 页上的 "[交流测试条件](#)"。

复位 (RESET) 时序参数

16 复位 (RESET) 时序参数

适用条件为 [工作范围](#)

参数 ^[28]		说明	最小值	最大值	单位
参数	备用参数				
t _{RS}	–	硬件 RESET 建立时间	50	–	ns
t _{RPH}	t _{RHSL} , t _{RH}	硬件 RESET 保持时间	450	–	μs
t _{RP}	t _{RLRH}	硬件 RESET 脉冲宽度	200	–	ns
t _{HRESET}		硬件 RESET 时间	–	450	μs
t _{SRESET}		软件 RESET 时间	–	100	μs
t _{CSL}		JEDEC 复位时芯片选择 ($\overline{CS}$) 为低电平的时间	500	–	ns
t _{CSH_R}		JEDEC 复位时芯片选择 ($\overline{CS}$) 为高电平的时间	500	–	ns
t _{SU}		JEDEC 复位时 SI (I/O) 的建立时间 (以 $\overline{CS}$ 为高电平为准)	5	–	ns
t _{HD_R}		JEDEC 复位时 SI (I/O) 的保持时间 (以 $\overline{CS}$ 为高电平为准)	5	–	ns

注释

28. 这些参数的测试根据第 92 页上的 "[交流测试条件](#)"。

电源周期时序

17 电源周期时序

适用条件为 工作范围

参数 [29]		说明	最小值	最大值	单位
参数	备用参数				
t_{PU}		从上电 V_{DD} (最小值) 到第一次访问 ($\overline{CS}$ 为低电平) 的时间	450	–	μs
$t_{VR}^{[30]}$		V_{DD} 上电斜率	30	–	$\mu s/V$
$t_{VF}^{[30]}$		V_{DD} 掉电斜率	20	–	$\mu s/V$
$t_{ENTDPD}^{[31]}$	t_{DP}	从 $\overline{CS}$ 为高电平到进入深度掉电模式的时间 ($\overline{CS}$ 为高电平到休眠模式电流的时间)	–	3	μs
$t_{CSDPD}^{[31]}$		$\overline{CS}$ 脉冲宽度到从深度掉电模式唤醒的时间	0.015	$4 \times 1/f_{SCK}$	μs
$t_{EXTDPD}^{[32]}$	t_{RDP}	从深度掉电模式恢复的时间 ($\overline{CS}$ 为低电平到就绪访问的时间)	–	13	μs
t_{ENTHIB}	t_{HBN}	进入休眠模式的时间 ($\overline{CS}$ 为高电平到休眠模式电流的时间)	–	3	μs
$t_{EXITHIB}^{[33]}$	t_{REC}	从休眠模式恢复的时间 ($\overline{CS}$ 为低电平到就绪访问的时间)	–	450	μs
V_{DD} (低电平)		保证发生初始化操作的 V_{DD} (低电平)	0.6	–	V
t_{PD}		V_{DD} (低电平) 为 0.6 V 时的 V_{DD} (低电平) 时间	130	–	μs
		V_{DD} (低电平) 为 V_{SS} 时的 V_{DD} (低电平) 时间	70	–	

注释

29. 这些参数的测试根据第 92 页上的 " 交流测试条件 " 进行。
30. 在 V_{DD} 波形的任意位置测量的斜率。
31. 由设计保证。有关深度睡眠模式时序的详细信息，请参见 Figure 99 和 Figure 102。
32. 由设计保证。有关休眠模式时序的详细信息，请参见 Figure 106。
33. 作为特征值但未经过 100% 的生产测试。

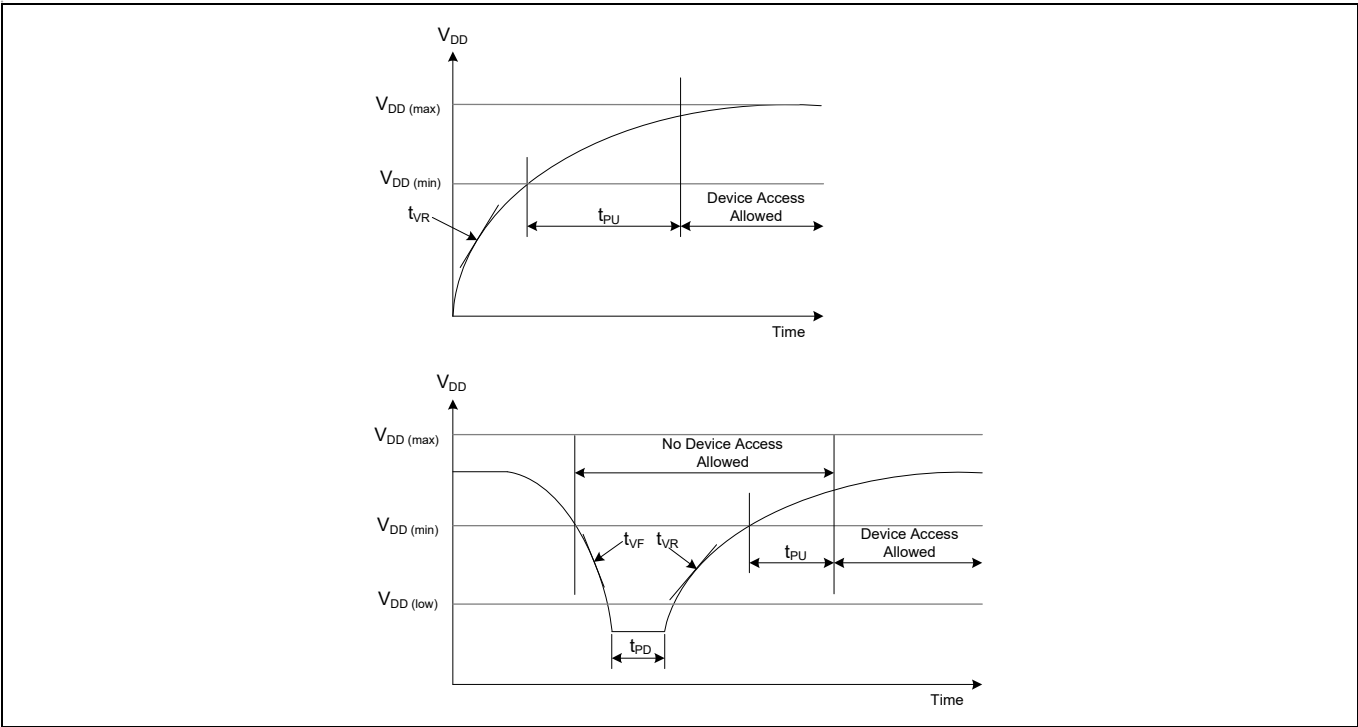


Figure 120 电源周期时序

16 Mb EXCELON™ Ultra 铁电 RAM (F-RAM)
串行 (四线 SPI) 2048K × 8, 108 MHz, 工业级



订购信息

18 订购信息

订购代码	器件 ID	封装框图	封装类型	工作范围
CY15B116QSN-108BKXI	0000000006825160	001-97209	24-FBGA	工业级
CY15V116QSN-108BKXI	0000000006805160	001-97209	24-FBGA	工业级

这些芯片都不含铅。欲了解这些芯片的供应情况，请联系本地销售代表。

18.1 订购代码定义

CY	15	B	116	QS	N	-	108	BK	X	I	T	
												Options: Blank = Standard; T = Tape and reel
												Temperature range: I = Industrial (-40 °C TO +85 °C)
												X = Pb-free
												Package type: BK = 24-ball FBGA
												Frequency: 108 = 108 MHz
												N = No Inrush current control
												Interface: QS = Quad SPI F-RAM
												Density: 116 = 16 Mbit
												Voltage: V = 1.71 V to 1.89 V (1.8 V typical) B = 1.8 V to 3.6 V (3.0 V typical)
												15 = F- RAM
												CY = CYPRESS™ (An Infineon company)

封装图

19 封装图

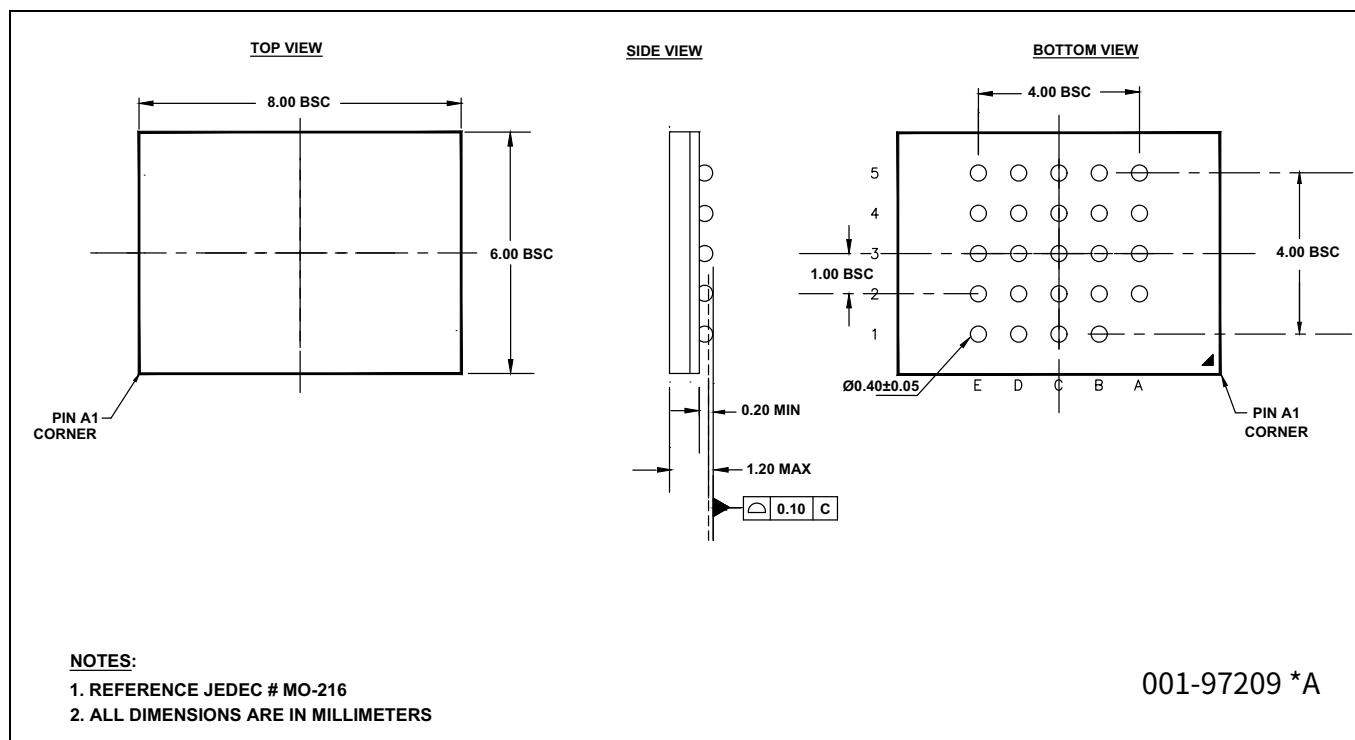


Figure 121 24L FBGA 8 × 6 × 1.2 mm BK24A, 001-97209

缩略语

20 缩略语

Table 67 本文档中使用的首字母缩略词

缩略语	说明
CPHA	时钟相位
CPOL	时钟极性
CRC	循环冗余校验
DPI	双线 SPI
ECC	纠错码
EEPROM	电可擦除可编程只读存储器
EIA	电子工业联盟
F-RAM	铁电随机存取存储器
I/O	输入 / 输出
JEDEC	联合电子设备工程委员会
JESD	JEDEC 标准
LSb	最低有效位
MSb	最高有效位
RoHS	有害物质限制
SPI	串行外设接口
SOIC	小外形集成电路

文档规范

21 文档规范

21.1 测量单位

Table 68 测量单位

符号	测量单位
°C	摄氏度
Hz	赫兹
kHz	千赫兹
kΩ	千欧
Mb	兆位
MHz	兆赫兹
μA	微安
μF	微法
μs	微秒
mA	毫安
ms	毫秒
ns	纳秒
Ω	欧姆
%	百分比
pF	皮法
V	伏特
W	瓦特

文档修订记录

文档修订记录

文档版本	发布日期	变更说明
**	2022-11-28	翻译自 : 002-26981 Rev. *F

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

Edition 2022-11-28
Published by
Infineon Technologies AG
81726 Munich, Germany

© 2022 Infineon Technologies AG.
All Rights Reserved.

Do you have a question about this document?

Go to www.infineon.com/support

Document reference
002-36627 Rev. **

重要提示

本文档所提供的任何信息绝不应被视为针对任何条件或者品质而做出的保证（质量保证）。英飞凌对于本文档中所提及的任何事例、提示或者任何特定数值及 / 或任何关于产品应用方面的信息均在此明确声明其不承担任何保证或者责任，包括但不限于其不侵犯任何第三方知识产权的保证均在此排除。

此外，本文档所提供的任何信息均取决于客户履行本文档所载明的义务和客户遵守适用于客户产品以及与客户对于英飞凌产品的应用所相关的任何法律要求、规范和标准。

本文档所含的数据仅供经过专业技术培训的人员使用。客户自身的技术部门有义务对于产品是否适宜于其预期的应用和针对该等应用而言本文档中所提供的信息是否充分自行予以评估。

如需产品、技术、交付条款和条件以及价格等进一步信息，请向离您最近的英飞凌科技办公室接洽 (www.infineon.com)。

警告事项

由于技术所需产品可能含有危险物质。如需了解该等物质的类型，请向离您最近的英飞凌科技办公室接洽。

除非由经英飞凌科技授权代表签署的书面文件中做出另行明确批准的情况外，英飞凌科技的产品不应当被用于任何一项一旦产品失效或者产品使用的后果可被合理地预料到可能导致人身伤害的任何应用领域。